

Министерство науки и высшего образования РФ  
Федеральное государственное автономное  
образовательное учреждение высшего образования  
«**СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ**»

Институт космических и информационных технологий  
Кафедра вычислительной техники

УТВЕРЖДАЮ

Заведующий кафедрой

\_\_\_\_\_ О.В. Непомнящий  
подпись

«\_\_\_\_\_» \_\_\_\_\_ 2023 г.

**БАКАЛАВРСКАЯ РАБОТА**

09.03.01 – Информатика и вычислительная техника

Разработка широкополосного модулятора спутниковой абонентской станции

Руководитель	_____	ст. преподаватель	А.Г. Хантимиров
	подпись, дата		
Выпускник	_____		М.В. Сабитов
	подпись, дата		
Нормоконтролер	_____	ст. преподаватель	А.Г. Хантимиров
	подпись, дата		

Красноярск 2023

Министерство науки и высшего образования РФ  
Федеральное государственное автономное  
образовательное учреждение высшего профессионального образования  
**«СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»**

Институт космических и информационных технологий

Кафедра вычислительной техники

УТВЕРЖДАЮ

Заведующий кафедрой

\_\_\_\_\_ О.В. Непомнящий

« \_\_\_\_ » \_\_\_\_\_ 2023 г.

**ЗАДАНИЕ**  
**НА ВЫПУСКНУЮ КВАЛИФИКАЦИОННУЮ РАБОТУ**  
**в форме бакалаврской работы**



## РЕФЕРАТ

Выпускная квалификационная работа по теме «Разработка широкополосного модулятора спутниковой абонентской станции» содержит 40 страниц текстового документа, 28 иллюстраций, 1 приложение, 10 использованных источников.

ШИРОКОПОЛОСНЫЙ МОДУЛЯТОР, СИСТЕМА НА КРИСТАЛЛЕ, ПЛИС, МОДУЛЯЦИЯ, МДКР.

Цель работы – разработать широкополосный модулятора спутниковой абонентской станции.

Задачи:

- выполнить анализ предметной области;
- разработать программную модель модулятора широкополосных сигналов;
- разработать и испытать аппаратную реализацию модулятора широкополосных сигналов.

## СОДЕРЖАНИЕ

Введение.....	4
1 Анализ предметной области .....	5
1.1 Многостанционный доступ .....	5
1.1.1 МДЧР .....	5
1.1.2 МДВР .....	6
1.1.3 МДКР.....	6
1.2 CDMA2000 .....	7
1.3 Вывод .....	8
2 Разработка программной модели модулятора широкополосных сигналов .....	9
2.1 Требования к модели модулятора широкополосного сигнала .....	9
2.2 Структурная схема модулятора широкополосного сигнала .....	9
2.2.1 Генератор пакетов.....	10
2.2.2 Модуль расширения спектра .....	11
2.2.3 QPSK.....	12
2.2.4 Формирующий фильтр .....	12
2.3 Моделирование модулятора широкополосного сигнала.....	12
2.4 Вывод .....	14
3 Разработка и испытание аппаратной реализации модулятора широкополосных сигналов.....	15
3.1 Требования к аппаратной реализации модулятора.....	15
3.2 Структурная схема модулятора широкополосного сигнала для аппаратной реализации.....	15
3.3 Описание разработанных модулей .....	17
3.3.1 Модуль генерации пакетов .....	17
3.3.2 Модуль расширения спектра .....	21
3.3.3 Модуль QPSK .....	22
3.3.4 Модуль формирующего фильтра .....	24
3.4 Испытание аппаратной реализации модулятора .....	27
3.5 Результаты испытание аппаратной реализации модулятора .....	29
3.6 Сравнения полученных данных испытания с данными симуляции .....	32
3.7 Вывод .....	33

Заключение .....	34
Список сокращений .....	35
Список использованных источников .....	36
Приложение А Листинг разработанного ПЛИС – проекта.....	37

## ВВЕДЕНИЕ

На базе студенческого конструкторского бюро Института Космических и Информационных Технологий совместно с компанией ООО «ПК «Дельта» ведётся разработка спутниковой абонентской станции для интернета вещей. В рамках данной работы разрабатывается модулятор спутниковой абонентской станции.

**Целью данной работы** является разработка модулятора широкополосного сигнала для абонентской станции, который формирует физический уровень обратного канала VSAT сети.

В рамках **первой главы** рассмотрена предметная область модулятора.

**Вторая глава** посвящается разработке программной модели модулятора широкополосных сигналов.

В **третьей главе** проводится разработка и испытание аппаратной реализации модулятора широкополосных сигналов.

## **1 Анализ предметной области**

### **1.1 Многостанционный доступ**

Для связи абонентских станций с главной станцией по проекту требуется многостанционный доступ. Разделение сигналов отдельных станций в некоторой общей полосе частот может быть организовано [1]:

- разделением сигналов по частоте (МДЧР);
- разделением сигналов по времени (МДВР);
- кодовым разделением сигналов (МДКР).

#### **1.1.1 МДЧР**

При МДЧР каждая земная станция (ЗС) передает свои сигналы в отведенном ей участке полосы пропускания ретранслятора. Основным недостатком такого способа разделения – уменьшение пропускной способности по сравнению с односигнальным режимом, вызванное необходимостью уменьшения на 4...6 дБ мощности выходного усилителя-ретранслятора из-за появления интермодуляционных помех. Кроме того, в этом случае необходима высокая стабильность частоты и мощности сигнала, излучаемого каждой ЗС [1].



### 1.1.2 МДВР

При способе разделения сигналов по времени в стволе ретранслятора организуется ретрансляция сигналов наземных станций по очереди. За земной станцией закрепляется на все время работы или на некоторый сеанс связи временное окно в некотором общем кадре и положение этого окна во времени повторяется в каждом из кадров [1].

Достоинством метода МДВР по отношению к МДЧР является отсутствие перекрестных помех в ретранслятор [1].

По сравнению с МДЧР спутниковые системы с МДВР имеют два недостатка:

- при требуемой одинаковой средней излучаемой мощности земных станций и диаграмме направленности антенны ретранслятора пиковая мощность излучения земной станции при МДВР должна быть в  $n \gg 1$  раз больше, чем при МДЧР, где  $n$  – число каналов (временных окон) в системе. Это усложняет и удорожает наземную станцию;

- возможности адаптации отдельных радиолиний по энергетике ограничены и могут быть реализованы только за счет изменения скорости передачи информации и скорости кодирования, что нежелательно.

### 1.1.3 МДКР

Множественный доступ с кодовым разделением (CDMA) реализуется только в цифровом виде. Формирование достаточного множества сигналов  $\{S_i(t)\}$ , удовлетворяющего условию ортогональности, представляет одну из проблем CDMA. Эта проблема решается на основе сложных шумоподобных сигналов (ШПС) цифрового вида, что характеризует систему CDMA как систему с расширенным спектром. Широкополосность такой системы обеспечивает малый уровень излучаемой мощности радиосредств, а также возможность работы в многолучевом канале. В принципе для формирования CDMA-сигналов

применимы все методы расширения спектра [1].

## 1.2 CDMA2000

CDMA2000 (Code Division Multiple Access 2000) – это стандарт цифровой сотовой связи, который использует метод CDMA для передачи голосовых и данных сигналов. Он был разработан для улучшения пропускной способности и эффективности сетей связи, предоставляя более высокую скорость передачи данных по сравнению с предыдущими поколениями сотовой связи. CDMA2000.

Основные характеристики системы стандарта CDMA2000:

- ширина занимаемой полосы частот:  $N \times 1.25$  МГц, где  $N=1, 6, 9, 12$ ;
- чиповая скорость:  $N \times 1.2288$  Мчип/с, где  $N=1, 6, 9, 12$ ;
- метод многостанционного доступа: MC-CDMA, DS-SS-SSMA;
- метод дуплекса каналов: FDD или TDD;
- разнос между несущими в режиме FDD: 45 МГц (сотовые); 80 МГц (PCS);
- методы корректирующего кодирования: сверточные и турбо коды;
- источник синхронизации временных шкал базовых станций: GPS;
- метод поиска соты мобильной станцией: по пилот-сигналу.

Технология CDMA2000 использует CDMA, где каждый пользователь имеет уникальный код для передачи и приема сигналов. Ещё CDMA2000 поддерживает передачу голосовых вызовов и поддержку функций, таких как конференцсвязь, переадресация вызовов. Также CDMA2000 предоставляет возможность передачи данных, включая текстовые сообщения, мультимедийные сообщения, электронную почту, доступ к интернету и потоковое видео. CDMA2000 использует разделение временных слотов для увеличения эффективности использования радиоканала и поддержки одновременной передачи данных и голоса.

CDMA2000 реализуется путем построения инфраструктуры сотовой связи, которая включает базовые станции (Base Stations, BS), контроллеры

базовых станций (Base Station Controllers, BSC), сетевые коммутаторы и элементы управления. Базовые станции являются ключевыми компонентами сети CDMA2000. Они отвечают за передачу и прием сигналов между мобильными устройствами и сетевым оператором. Каждая базовая станция обслуживает определенную географическую область, называемую сотой. Контроллеры базовых станций управляют базовыми станциями и координируют их работу. Они обеспечивают передачу данных и голосовых вызовов, а также управление каналами связи. Сетевые коммутаторы обеспечивают маршрутизацию и коммутацию данных и голосового трафика между базовыми станциями и другими сетевыми элементами. Мобильные устройства, такие как смартфоны и модемы, должны быть совместимы с CDMA2000 для подключения и использования сети. Они обмениваются с базовыми станциями с помощью CDMA-сигналов для передачи голоса и данных.

Так как CDMA2000 разрабатывался для сотовой связи, характеристики стандарта не подходят для разработки по заданию.

### **1.3 Вывод**

Рассмотрены виды многостанционного доступа и аналог CDMA2000.

МДКР обеспечивает экономию по частотной полосе и мощности антенны, но усложняющий реализацию главной станции. Аналог CDMA2000 создан для сотовой связи, поэтому его реализация не подходит для реализации с параметрами по заданию. Перейдем к разработке программной модели модулятора широкополосных сигналов.

## 2 Разработка программной модели модулятора широкополосных сигналов

### 2.1 Требования к модели модулятора широкополосного сигнала

При построении модели фильтра в соответствии с заданием на ВКР имеются следующие параметры для модулятора широкополосного сигнала:

- размер данных 1944 бита;
- размер преамбулы 32 бита;
- коэффициент расширения 24;
- символьная скорость 395,208 ксим/с;
- модуляция QPSK;
- сглаживающий фактор (roll-off) формирующего фильтра: 0.25.

Данные выбраны с учетом выделенной полосы частот в 1 МГц и требования к информационной скорости в 32,4 кбит/с.

### 2.2 Структурная схема модулятора широкополосного сигнала

С учетом выбранных параметров была разработана структурная схема программной модели широкополосного модулятора (рисунок 1).

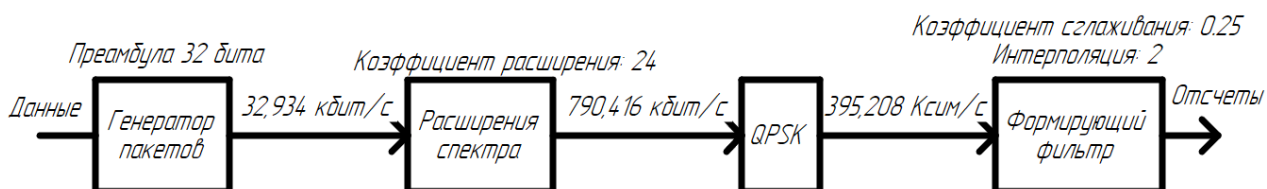


Рисунок 1 – Структурная схема программной модели широкополосного модулятора



## 2.2.2 Модуль расширения спектра

Расширение спектра происходит с помощью метода прямой последовательности для расширения спектра. Каждый передаваемый бит перемножается псевдослучайной последовательностью (ПСП) посредством операции побитового взаимоисключающего ИЛИ (XOR). На рисунке 3 показан пример, демонстрирующий применение метода для генерации сигнала. Сигнал данных с длительностью импульса  $T_b$  перемножается при помощи операции XOR с ПСП, длительность импульса которой равна  $T_c$  (замечание: ширина полосы пропускания пропорциональна  $1/T$ , где  $T$  = время передачи одного бита), следовательно ширина полосы пропускания сигнала с данными равна  $1/T_b$  и ширина полосы пропускания получаемого сигнала равна  $1/T_c$ . Так как  $T_c$  много меньше  $T_b$ , ширина полосы частот получаемого сигнала намного больше, чем таковая оригинального сигнала передаваемых данных.

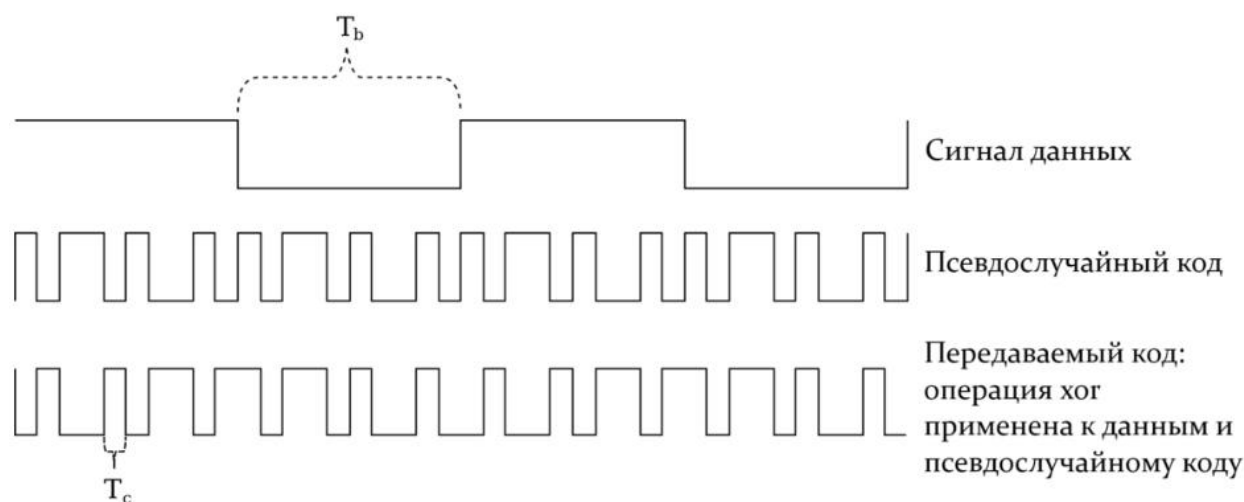


Рисунок 3 – Расширение спектра

В модуляторе принят коэффициент расширения равный 24.

### 2.2.3 QPSK

Квадратурная фазовая манипуляция (QPSK) – вид модуляции, где выходной символ имеет четыре положения фазы, таким образом в одном символе может быть закодировано два информационных бита [2]. При этом символьная скорость в два раза ниже скорости передачи битов. На рисунке 4 представлена векторная диаграмма (созвездие) QPSK.

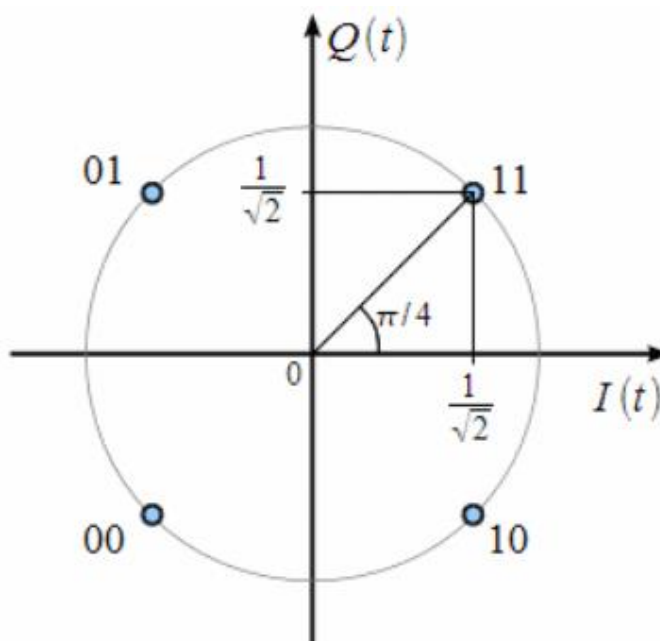


Рисунок 4 – Векторная диаграмма QPSK

### 2.2.4 Формирующий фильтр

В данной работе используется интерполирующий фильтр с приподнятым косинусом, для минимизации межсимвольных помех [3]. По заданию фильтр должен иметь интерполяцию равную 2 и остальные параметры фильтра из требований к модели.

## 2.3 Моделирование модулятора широкополосного сигнала

Согласно структурной схеме на рисунке 1, была разработана программная

модель широкополосного модулятора в Matlab.

По результатам моделирования были получены следующие графики: спектр QPSK модулятора и широкополосного QPSK модулятора (рисунок 5).

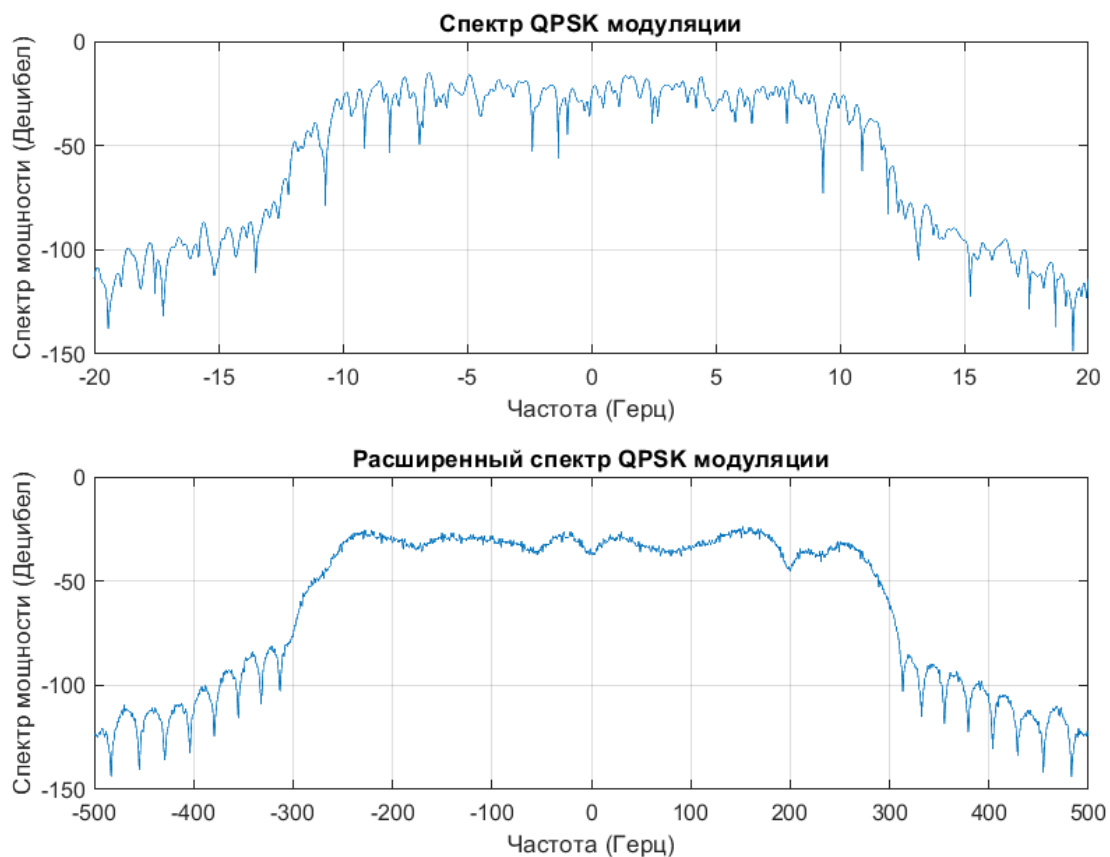


Рисунок 5 – Спектры сигналов

На рисунке 6 представлена векторная диаграмма QPSK модулятора.



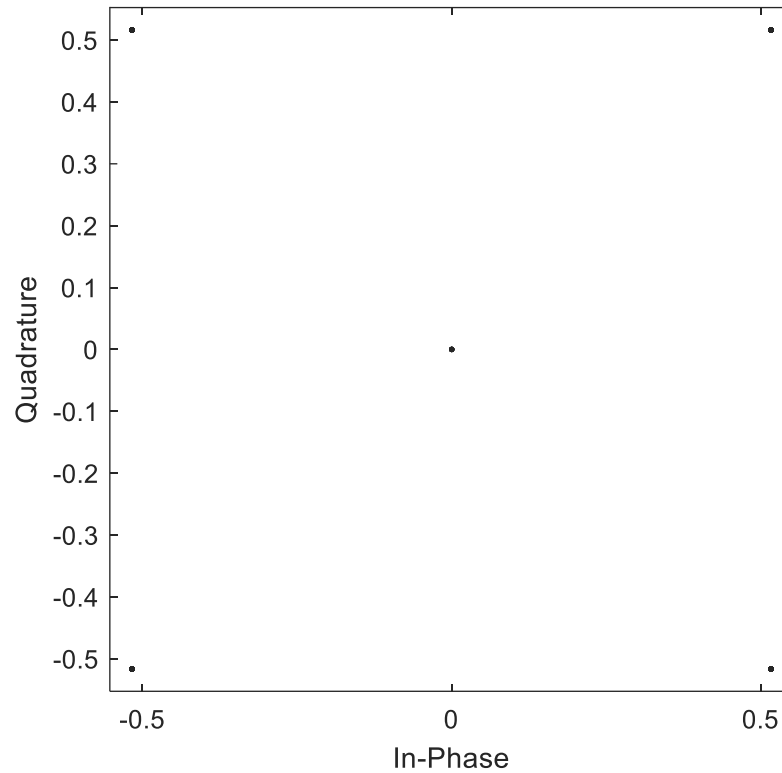


Рисунок 6 – Векторная диаграмма

## 2.4 Вывод

Определены параметры и разработана структурная схема широкополосного модулятора в соответствии с заданными требованиями. Разработана программная модель и выполнено моделирование широкополосного модулятора.

Результаты программного моделирования позволяют перейти к разработке аппаратной реализации широкополосного модулятора.

## 3 Разработка и испытание аппаратной реализации модулятора широкополосных сигналов

### 3.1 Требования к аппаратной реализации модулятора

По требованию задания на ВКР реализация должна быть выполнена для ПЛИС Zynq-7000 от компании Xilinx на языке описания аппаратуры SystemVerilog [10]. Для Xilinx есть своя среда проектирования Vivado рисунок 7 [4].

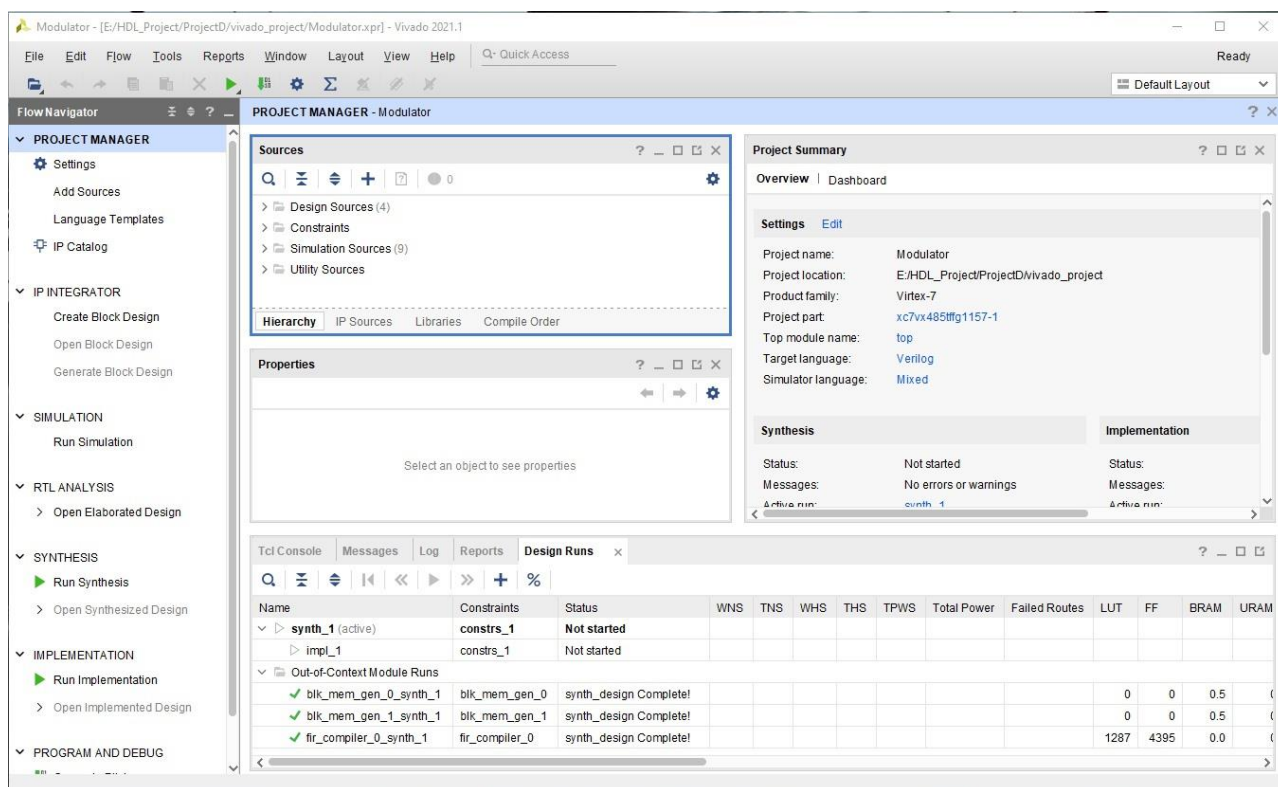


Рисунок 7 – Интерфейс Vivado

### 3.2 Структурная схема модулятора широкополосного сигнала для аппаратной реализации

На рисунке 8 предоставлена структурная схема модулятора широкополосного сигнала для аппаратной реализации.

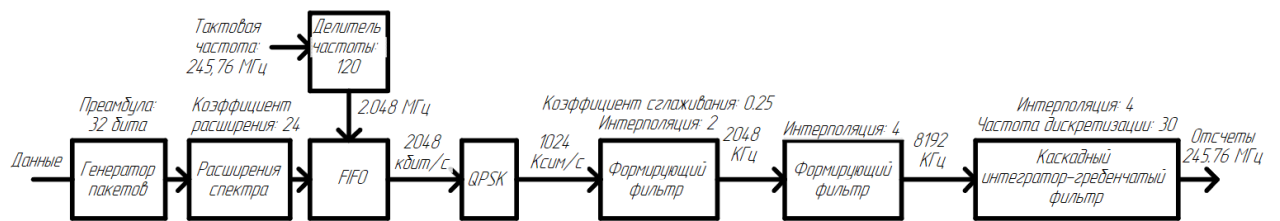


Рисунок 8 – Структурная схема модулятора для аппаратной реализации

В связи с частотой интерфейса ЦАП 245,76 МГц отсчеты выходных данных необходимо формировать на указанной частоте. Частота сигнала по заданию должна быть 1,024 МГц. Чтобы этого достичь используется модуль FIFO, делитель частоты, ещё один формирующий фильтр и каскадный интегратор-гребенчатый фильтр.

Делитель частоты делит частоту в 120 раз, чтобы из частоты платы 245,76 МГц получить 2,048 МГц.

FIFO запоминает данные с расширителя спектра, при заполнении на половину передает сигнал на расширитель спектра приостановить расширение. При сигнале с делителя частоты отдает данные на модуль QPSK.

Модуль QPSK нужно получить два бита для генерации символа, поэтому он передает символ с нужной по заданию частотой в 1,024 МГц.

Формирующий фильтр с интерполяцией 2 формирует отсчеты с частотой 2,048 МГц.

После еще один фильтр, но уже с интерполяцией 4 передает отсчеты с частотой 8,192 МГц.

Дальше с помощью каскадного интегрально-гребенчатого фильтра формируются выходные отсчеты, что позволяет передавать их с частотой 245,76 МГц на ЦАП.

### 3.3 Описание разработанных модулей

#### 3.3.1 Модуль генерации пакетов

Функцией модуля генерации пакетов является инкапсуляция входного потока данных путем добавления заголовка в виде преамбулы размером 32 бита. Структурная схема данного модуля представлена на рисунке 9.

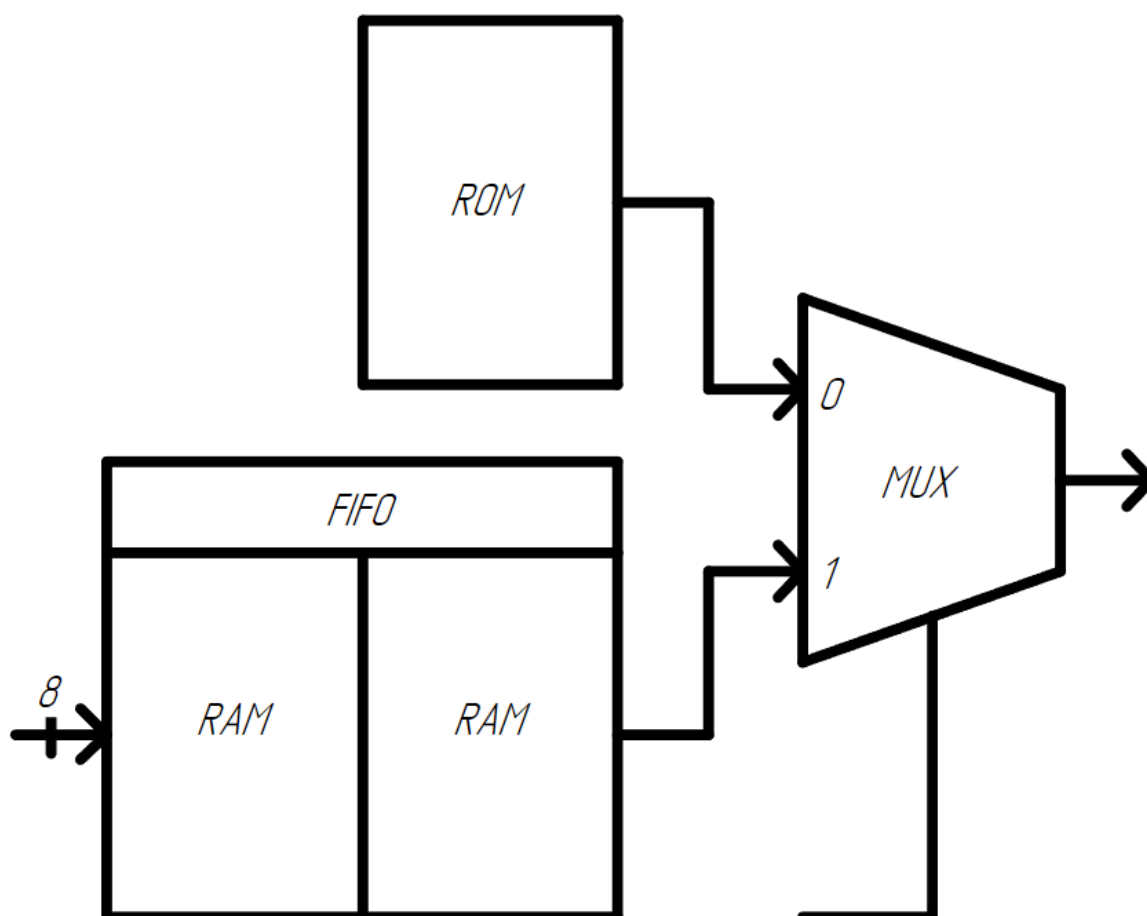


Рисунок 9 – Структурная схема модуля генератора пакетов

Модуль генерации пакетов разделяет непрерывный входной поток данных на пакеты длиной 1976 бита. Для обеспечения непрерывного потока выходных бит в отсутствии входных данных модуль генерирует пакет холостого хода, представляющий собой преамбулу и заведомо известную последовательность данных.

Модуль генерации пакетов принимает на вход `i_data` поток данных разрядностью 8 бит. Прием данных совершается при установленных валидности данных `i_valid_input` и готовности приему данных `o_ready`. Выходные биты пакета формируются при установленном сигнале готовности `i_ready_output` на прием данных нижестоящего модуля.

Для хранения входных данных используется двойной буфер, представляющий собой две области памяти, которые условно можно разделить на домен записи и домен чтения. При накоплении необходимого количества бит данных в домене записи и полностью считаном пакете в домене чтения соответствующие домены изменяют свою функцию на противоположную. Двойной буфер для хранения входных данных, а также буфер для хранения пакета холостого хода реализованы на блочной RAM. Модули памяти сгенерированы с помощью IP Block Memory Generator, входящего в пакет поставки Vivado [5]. Настройки сгенерированных `simple dual port RAM` для записи 8 бит и чтения 1 бита и `single port ROM` для хранения и выдачи пакета холостого хода представлены на рисунках 10 и 11 соответственно.

Basic	Port A Options	Port B Options	Other Options	Summary
<p>Interface Type: <span>Native</span> <input type="checkbox"/> Generate address interface with 32 bits</p> <p>Memory Type: <span>Simple Dual Port RAM</span> <input type="checkbox"/> Common Clock</p>				
<p><b>ECC Options</b></p> <p>ECC Type: <span>No ECC</span></p> <p><input type="checkbox"/> Error Injection Pins: <span>Single Bit Error Injection</span></p>				
<p><b>Write Enable</b></p> <p><input type="checkbox"/> Byte Write Enable</p> <p>Byte Size (bits): <span>9</span></p>				
<p><b>Algorithm Options</b></p> <p>Defines the algorithm used to concatenate the block RAM primitives. Refer datasheet for more information.</p> <p>Algorithm: <span>Minimum Area</span></p> <p>Primitive: <span>8x2</span></p>				

Basic	Port A Options	Port B Options	Other Options	Summary
<p><b>Memory Size</b></p> <p>Port A Width: <span>8</span> Range: 1 to 4608 (bits)</p> <p>Port A Depth: <span>247</span> Range: 2 to 1048576</p> <p>The Width and Depth values are used for Write Operations in Port A</p> <p>Operating Mode: <span>No Change</span> Enable Port Type: <span>Use ENA Pin</span></p>				
<p><b>Port A Optional Output Registers</b></p> <p><input type="checkbox"/> Primitives Output Register <input type="checkbox"/> Core Output Register</p> <p><input type="checkbox"/> SoftECC Input Register <input type="checkbox"/> REGCEA Pin</p>				
<p><b>READ Address Change A</b></p> <p><input type="checkbox"/> Read Address Change A</p>				

Basic	Port A Options	Port B Options	Other Options	Summary
<p><b>Memory Size</b></p> <p>Port B Width: <span>1</span></p> <p>Port B Depth: 1976</p> <p>The Width and Depth values are used for Read Operation in Port B</p> <p>Operating Mode: <span>Write First</span> Enable Port Type: <span>Use ENB Pin</span></p>				
<p><b>Port B Optional Output Registers</b></p> <p><input type="checkbox"/> Primitives Output Register <input type="checkbox"/> Core Output Register</p> <p><input type="checkbox"/> SoftECC Output Register <input type="checkbox"/> REGCEB Pin</p>				
<p><b>Port B Output Reset Options</b></p> <p><input type="checkbox"/> RSTB Pin (set/reset pin) Output Reset Value (Hex): <span>0</span></p> <p><input type="checkbox"/> Reset Memory Latch Reset Priority: <span>CE (Latch or Register Enable)</span></p>				
<p><b>READ Address Change B</b></p> <p><input type="checkbox"/> Read Address Change B</p>				

Basic	Port A Options	Port B Options	Other Options	Summary
<p>Pipeline Stages within Mux: <span>0</span> Mux Size: 1x1</p>				
<p><b>Memory Initialization</b></p> <p><input checked="" type="checkbox"/> Load Init File</p> <p>Coe File: <span>e:/HDL_Project/ProjectD/data/init_memory_pack.coe</span> <span>Browse</span> <span>Edit</span></p> <p><input checked="" type="checkbox"/> Fill Remaining Memory Locations</p> <p>Remaining Memory Locations (Hex): <span>0</span></p>				
<p><b>Structural/UniSim Simulation Model Options</b></p> <p>Defines the type of warnings and outputs are generated when a read-write or write-write collision occurs.</p> <p>Collision Warnings: <span>All</span></p>				
<p><b>Behavioral Simulation Model Options</b></p> <p><input type="checkbox"/> Disable Collision Warnings <input type="checkbox"/> Disable Out of Range Warnings</p>				

Рисунок 10 – Настройка simple dual port RAM

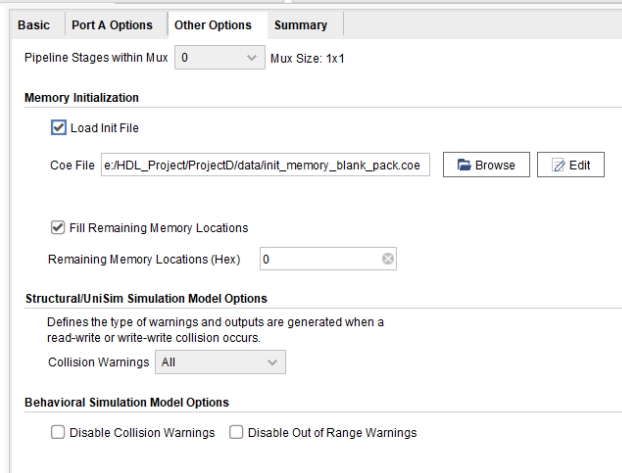
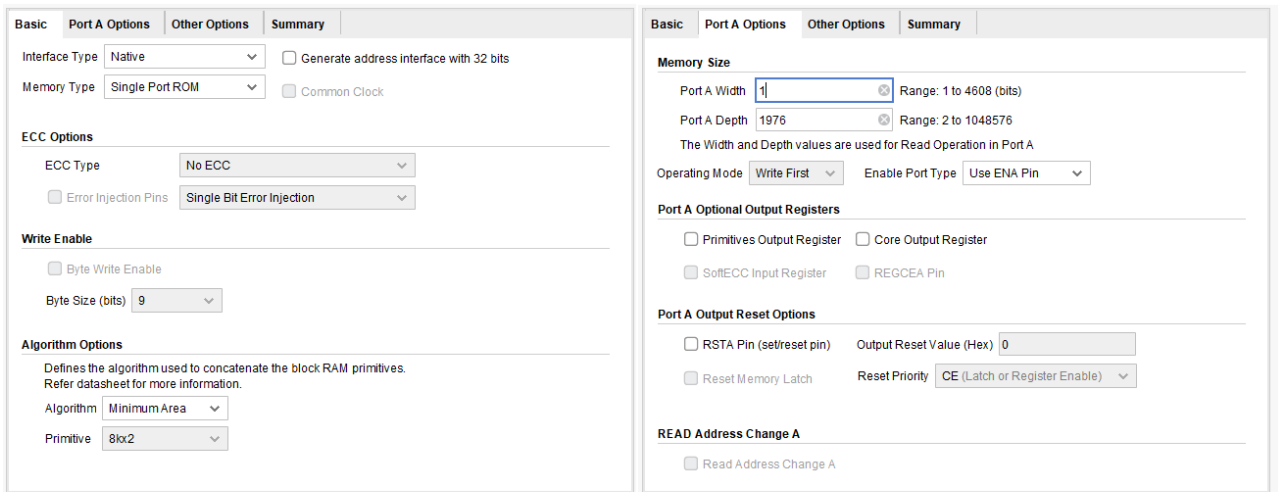


Рисунок 11 – Настройка single port ROM

Схемное обозначение разработанного модуля представлено на рисунке 12.

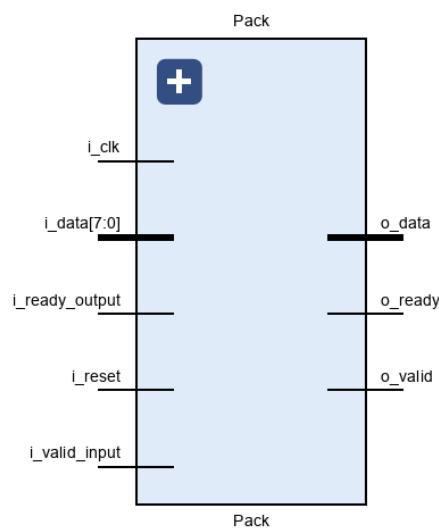


Рисунок 12 – Схемное обозначение модуля генерации пакета

### 3.3.2 Модуль расширения спектра

Результатом работы данного модуля является расширения одного бита на 24, путем исключающего-или между входным битом и ПСП. Поэтому для этого модуля был разработан модуль регистра сдвига с линейной обратной связью (РСЛОС) для генерации ПСП [6]. Структурная схема модулей РСЛОС и расширения спектра представлены на рисунках 13-14 соответственно.

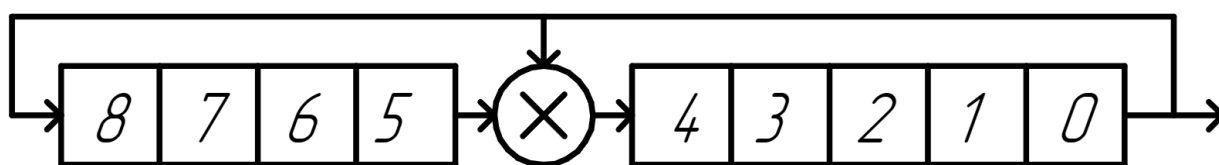


Рисунок 13 – Структурная схема модуля РСЛОС

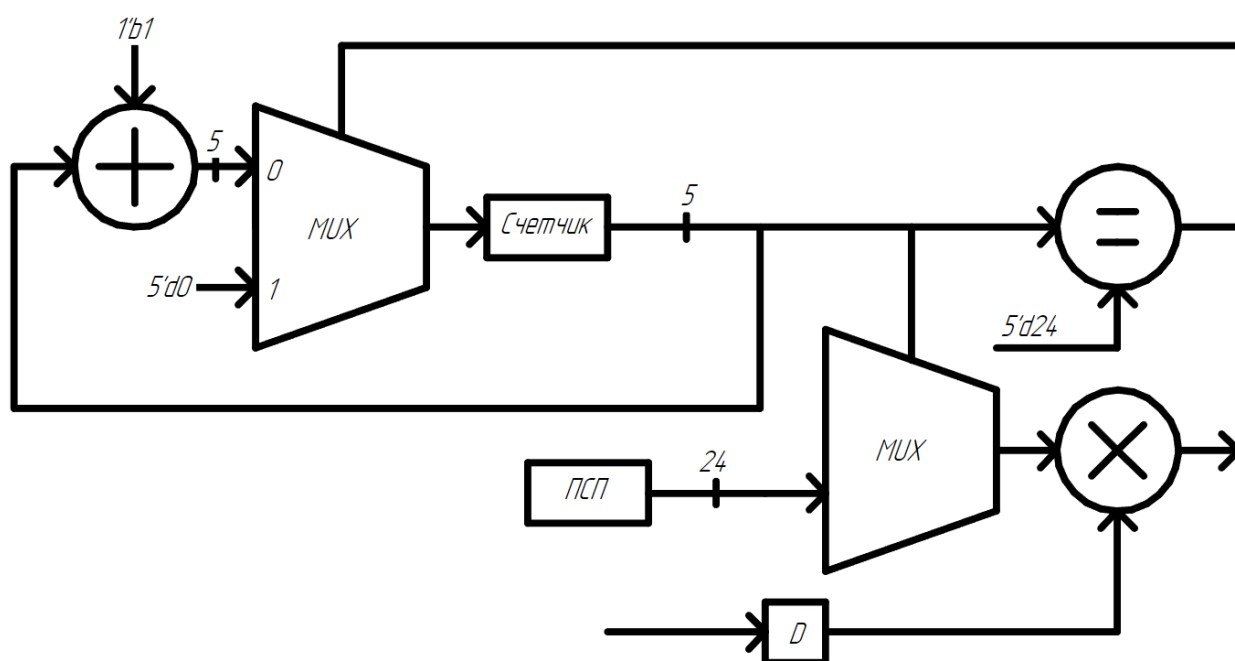


Рисунок 14 – Структурная схема модуля расширения спектра

Модуль расширения спектра генерирует последовательность 24 бита из одного бита путем исключающего-или между приемным битом и сгенерированным ПСП.



Модуль расширения спектра принимает на вход `i_data` поток бит разрядностью один. Прием данных совершается при установленной валидности `i_valid` и готовности модуля `o_ready`. Выходные биты формируются при приеме на вход валидного бита. Сигнал `o_ready` сигнализирует о готовности модуля принять следующий бит.

Схемное обозначение разработанного модуля представлено на рисунке 15.

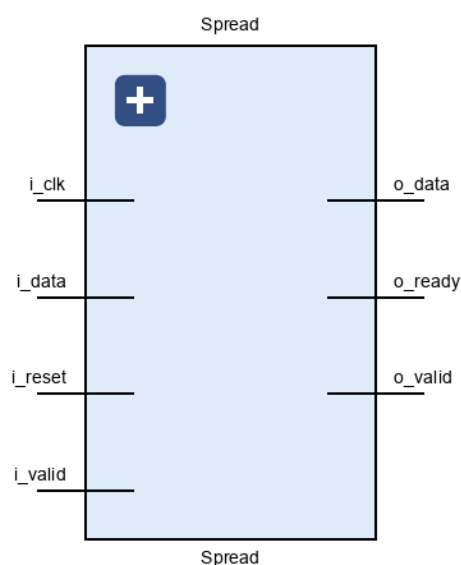


Рисунок 15 – Схемное обозначение модуля расширения спектра

### 3.3.3 Модуль QPSK

Структурная схема модуля QPSK представлена на рисунке 16:

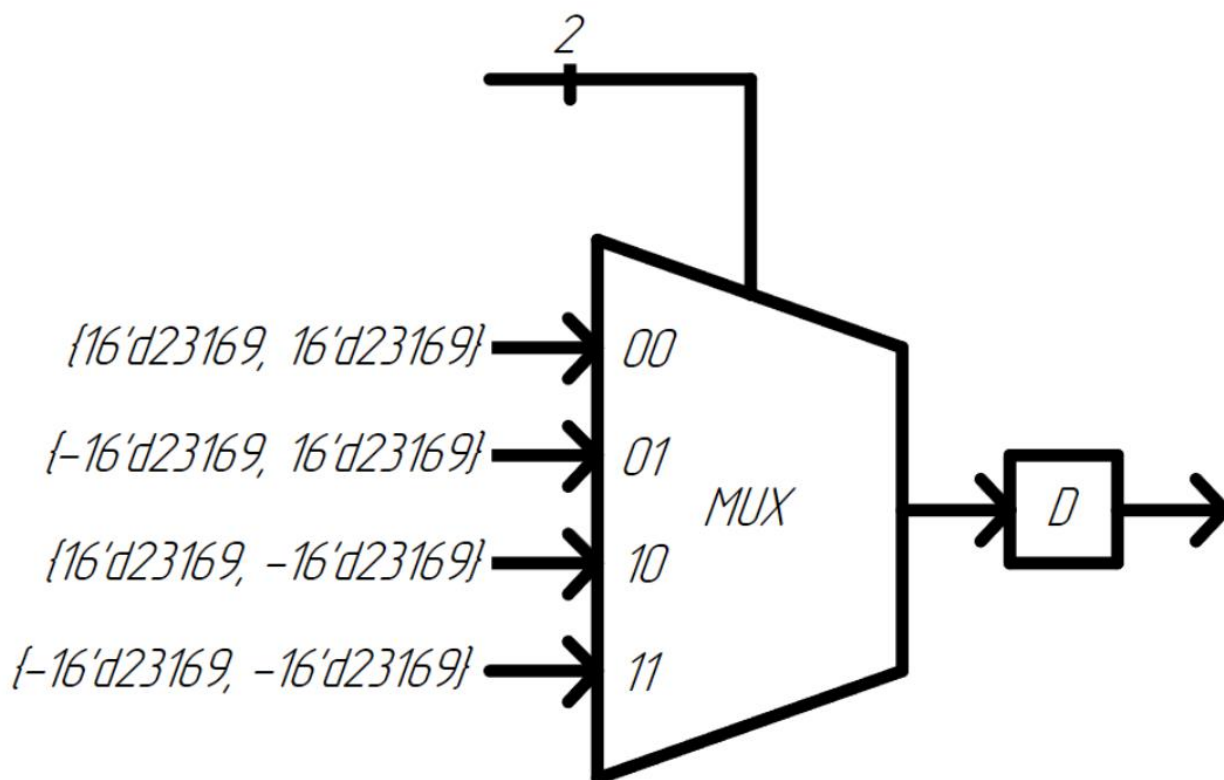


Рисунок 16 – Структурная схема модуля QPSK

Модуль QPSK кодирует 2 бита входных данных в символ [7]. Символ представляет собой два числа I и Q, где I – действительная, а Q – мнимая часть сигнала.

Модуль QPSK принимает на вход *i\_data* поток бит разрядностью один. Прием данных совершается при установленных валидности данных *i\_valid*. Выходной символ формируется каждые 2 принятых бита.

Схемное обозначение разработанного модуля представлено на рисунке 17.

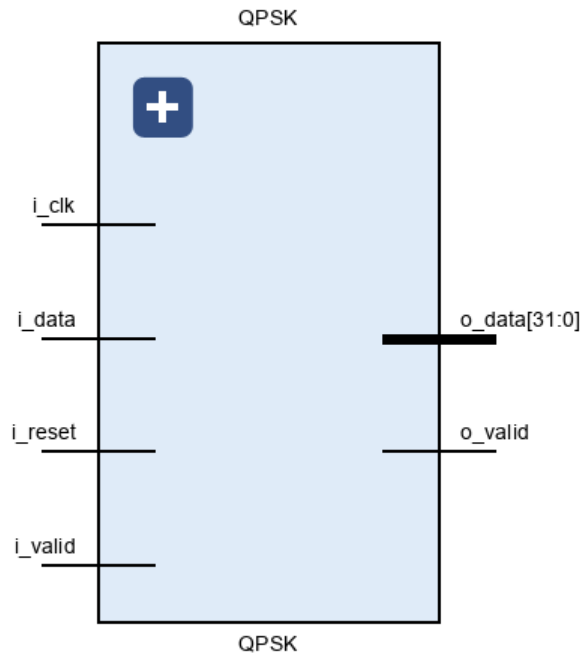


Рисунок 17 – Схемное обозначение модуля QPSK

### 3.3.4 Модуль формирующего фильтра

Модуль формирующего фильтра сгенерирован с помощью IP FIR Compiler, коэффициенты к фильтру сгенерированы в MATLAB с помощью Filter Designer (рисунок 18) [9]. Настройка FIR Compiler изображена на рисунке 19 [8].

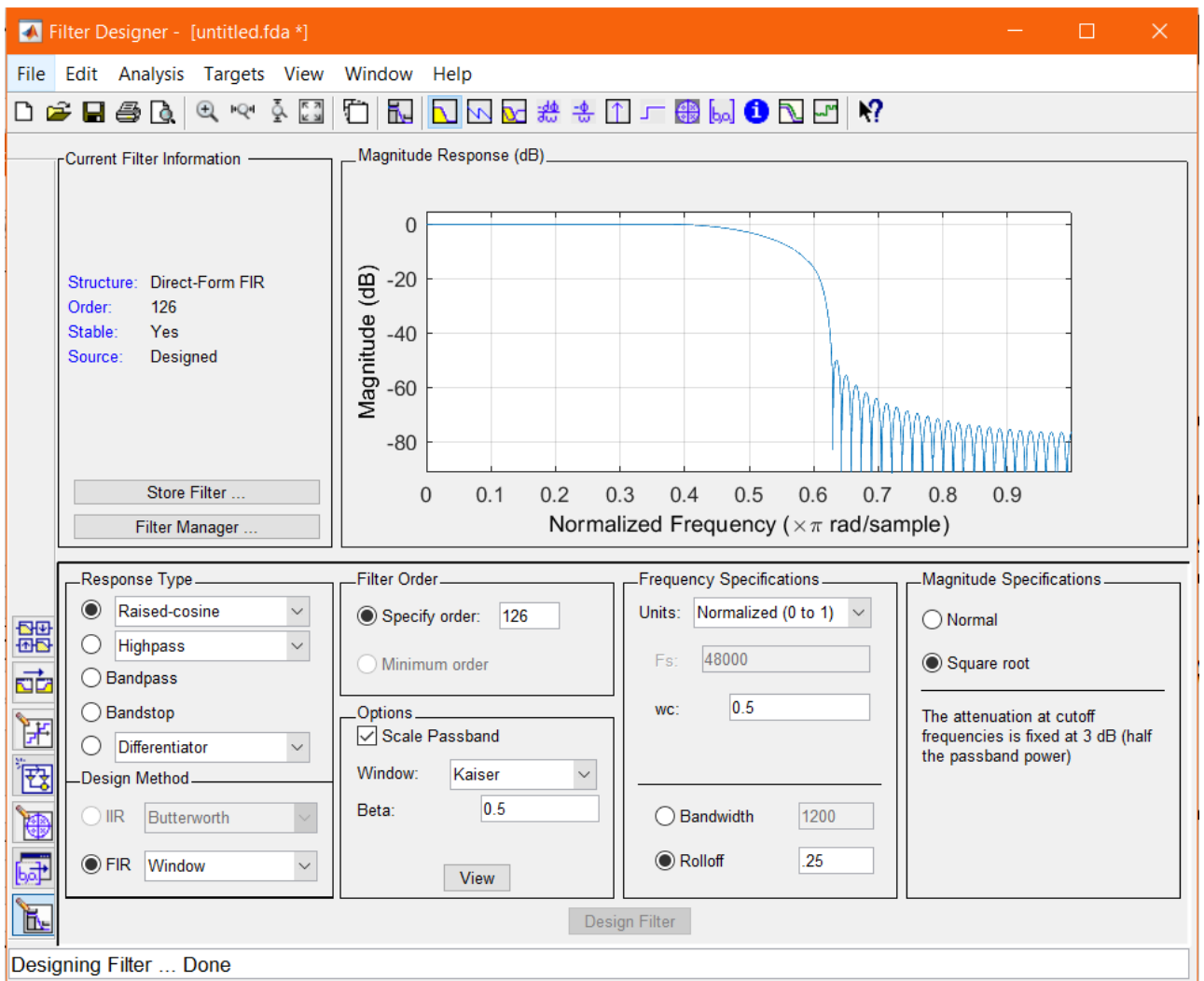


Рисунок 18 – Генерация коэффициентов к выходному фильтру

The image displays the configuration interface for a filter module in Xilinx Vivado. The interface is organized into several sections:

- Filter Coefficients:** Select Source (COE File), Coefficient Vector (6,0,-4,-3,5,6,-6,-13,7,44,64,44,7,-13,-6,6,5,-3,-4,0,6), Coefficient File (e:/HDL\_Project/ProjectD\data/irc\_25\_101.coe), Number of Coefficient Sets (1), Number of Coefficients (per set): 101, and an option for Use Reloadable Coefficients.
- Filter Specification:** Filter Type (Interpolation), Inferred Coefficient Structure(s) (Symmetric or Non Symmetric), Rate Change Type (Integer), Interpolation Rate Value (2), Decimation Rate Value (1), and Zero Pack Factor (1).
- Coefficient Options:** Coefficient Type (Signed), Quantization (Integer Coefficients), Coefficient Width (16), Best Precision Fraction Length (checkbox), Coefficient Fractional Bits (0), and Coefficient Structure (Inferred, Non Symmetric, Symmetric).
- Data Path Options:** Input Data Type (Signed), Input Data Width (16), Input Data Fractional Bits (0), Output Rounding Mode (Full Precision), and Output Width (32).
- Channel Specification:** Channel Sequence (Basic), Number of Channels (1), Select Sequence (All), and Sequence ID List (P4-0,P4-1,P4-2,P4-3,P4-4).
- Parallel Channel Specification:** Number of Paths (2).
- Hardware Oversampling Specification:** Select Format (Input Sample Period), Sample Period (Clock Cycles) (2), Input Sampling Frequency (MHz) (0.001), and Clock Frequency (MHz) (300.0).
- Filter Architecture:** Systolic Multiply Accumulate.
- Optimization Options:** Goal (Area), Select Optimization (None), and various optimization checkboxes (Data Path Fanout, Control Path Fanout, Control LUT Pipeline, Data Path Broadcast, Other, Pre Adder Pipeline, Control Column Fanout, No BRAM Read First Mode, Disable Half Band Centre Tap, Coefficient Fanout, Control Broadcast Fanout, Optimal Column Lengths, No SRL Attributes).
- Memory Options:** Data Buffer Type (Automatic), Coefficient Buffer Type (Automatic), Input Buffer Type (Automatic), Output Buffer Type (Automatic), and Preference For Other Storage (Automatic).

Рисунок 19 – Настройки модуля выходного фильтра

Модуль выходного фильтра принимает на вход `s_axis_data_tdata` поток данных, представляющий собой конкатенацию двух чисел размерностью 16 бит. Прием данных совершается при установленных валидности данных `m_axis_data_tvalid`. Выходные данные представляют собой конкатенацию двух чисел размерностью 32 бита.

Схемное обозначение сгенерированного модуля представлено на рисунке 20.

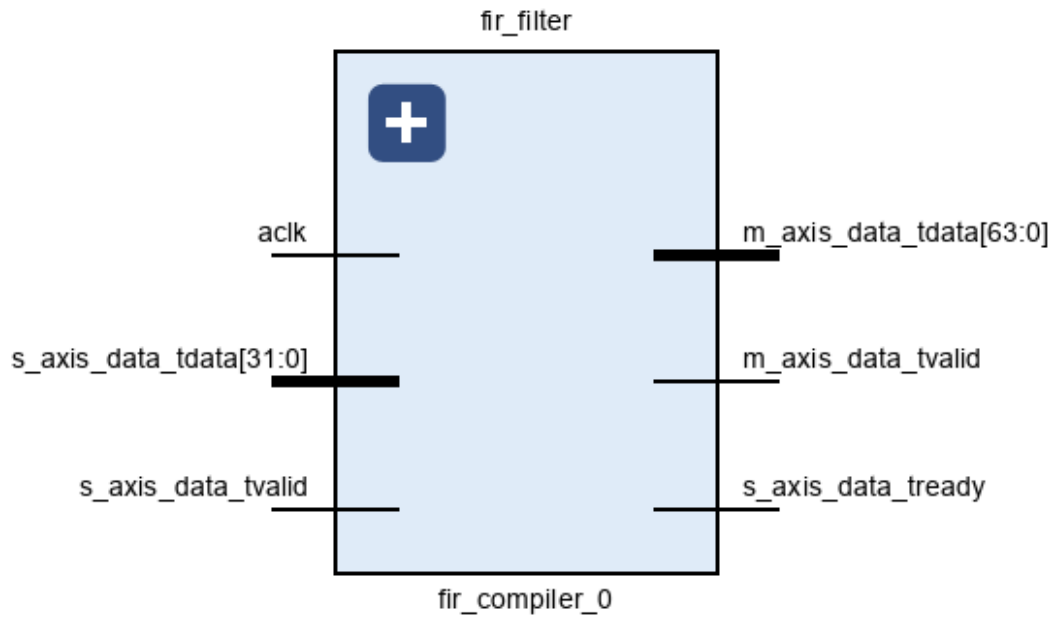


Рисунок 20 – Схемное обозначение модуля выходного фильтра

### 3.4 Испытание аппаратной реализации модулятора

При аппаратной реализации был использован функциональный аналог xilinx kintex-7 kc705 evaluation platform с FMC150 (рисунок 21) для цифро-аналогового преобразования. Таблица занимаемых ресурсов аппаратной реализации модулятора представлена на рисунке 22.

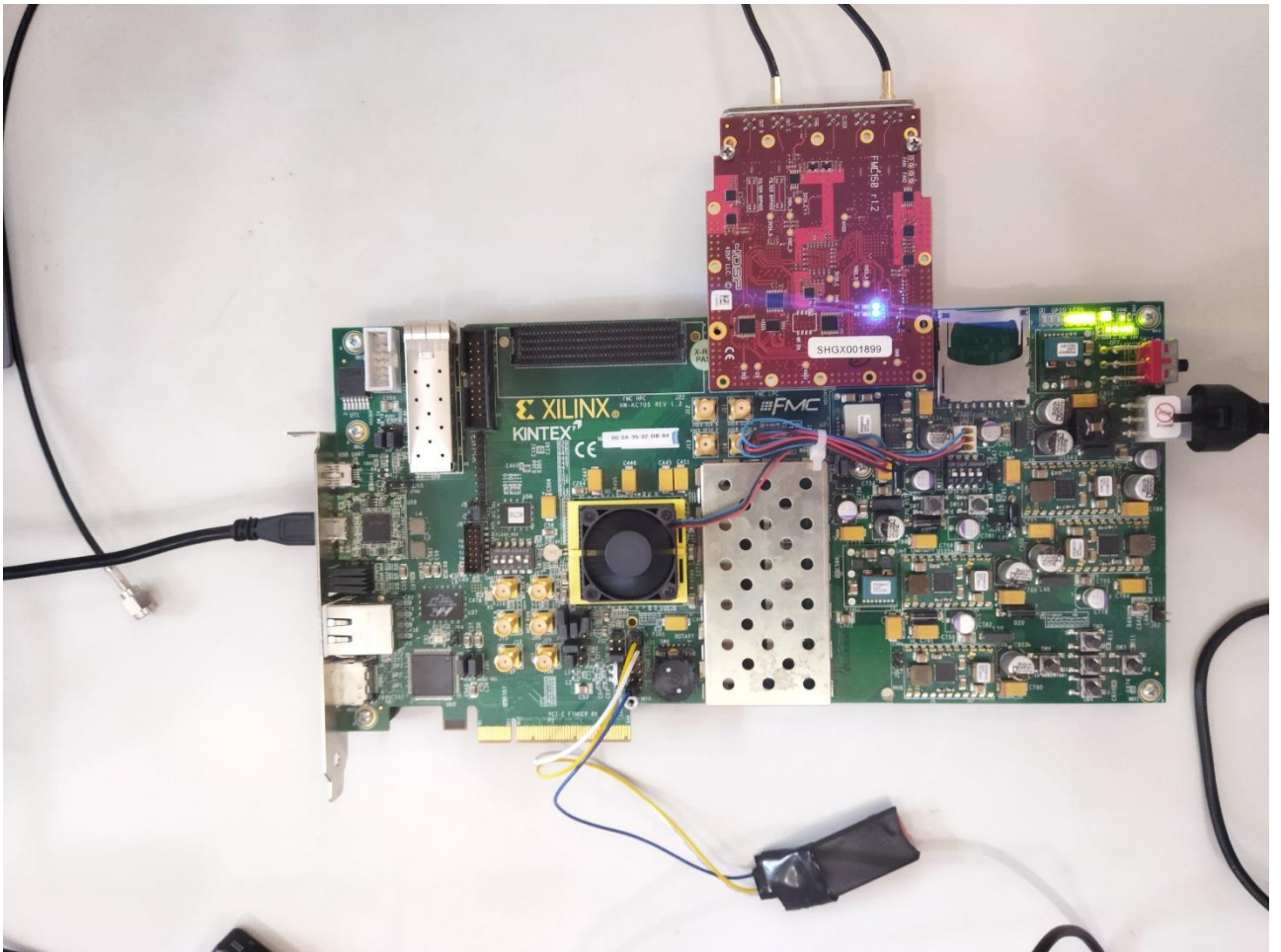


Рисунок 21 – Xilinx kintex-7 kc705 evaluation platform с FMC150

Utilization		Post-Synthesis	Post-Implementation
			Graph   Table
Resource	Utilization	Available	Utilization %
LUT	4858	203800	2.38
LUTRAM	340	64000	0.53
FF	7997	407600	1.96
BRAM	14	445	3.15
DSP	31	840	3.69
IO	76	500	15.20
BUFG	12	32	37.50
MMCM	2	10	20.00

Рисунок 22 – Таблица занимаемых ресурсов аппаратной реализации модулятора

### 3.5 Результаты испытание аппаратной реализации модулятора

Для проверки выходного сигнала использовался анализатор спектра Rohde & Schwarz FSW (рисунок 23).

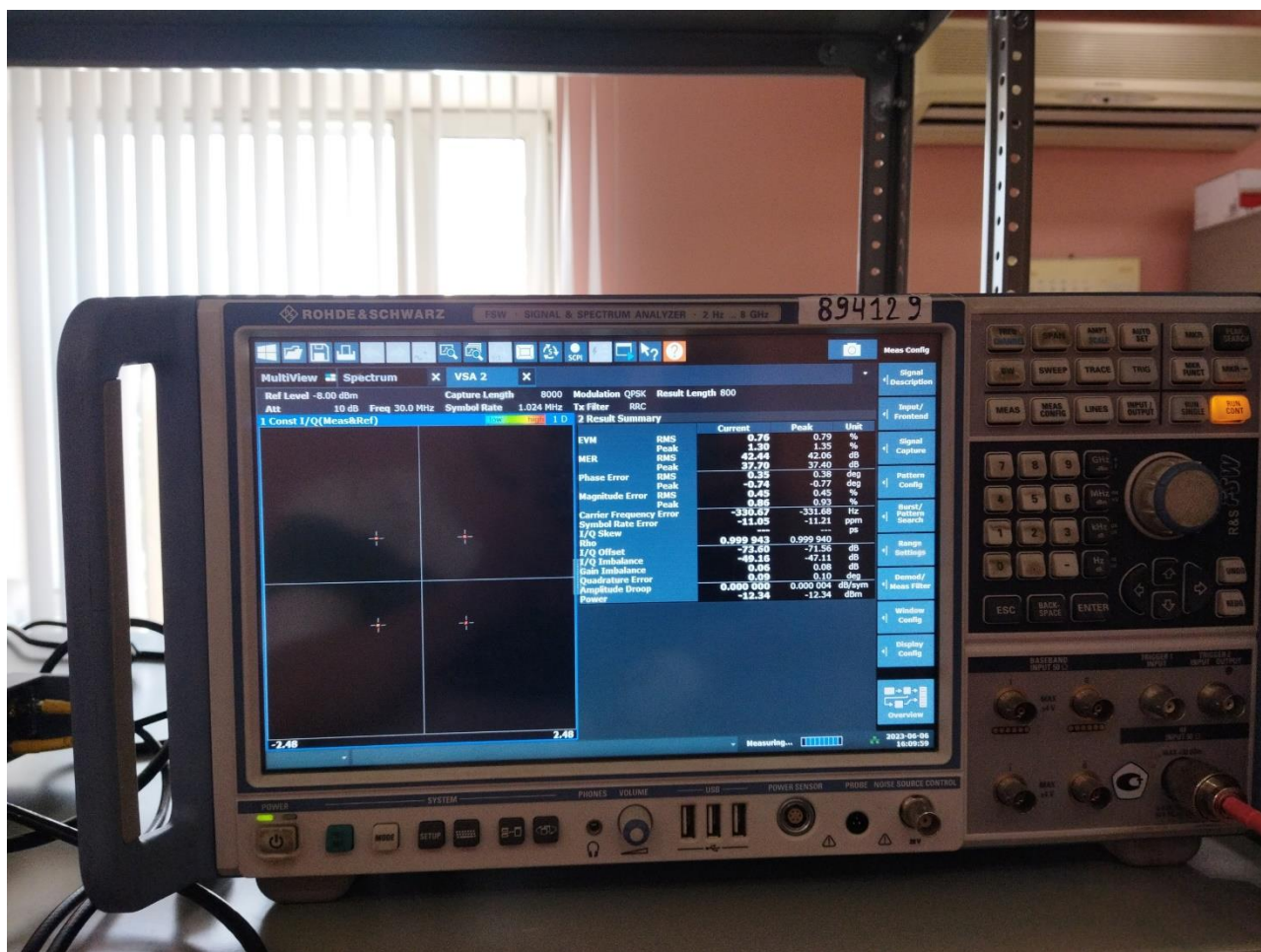
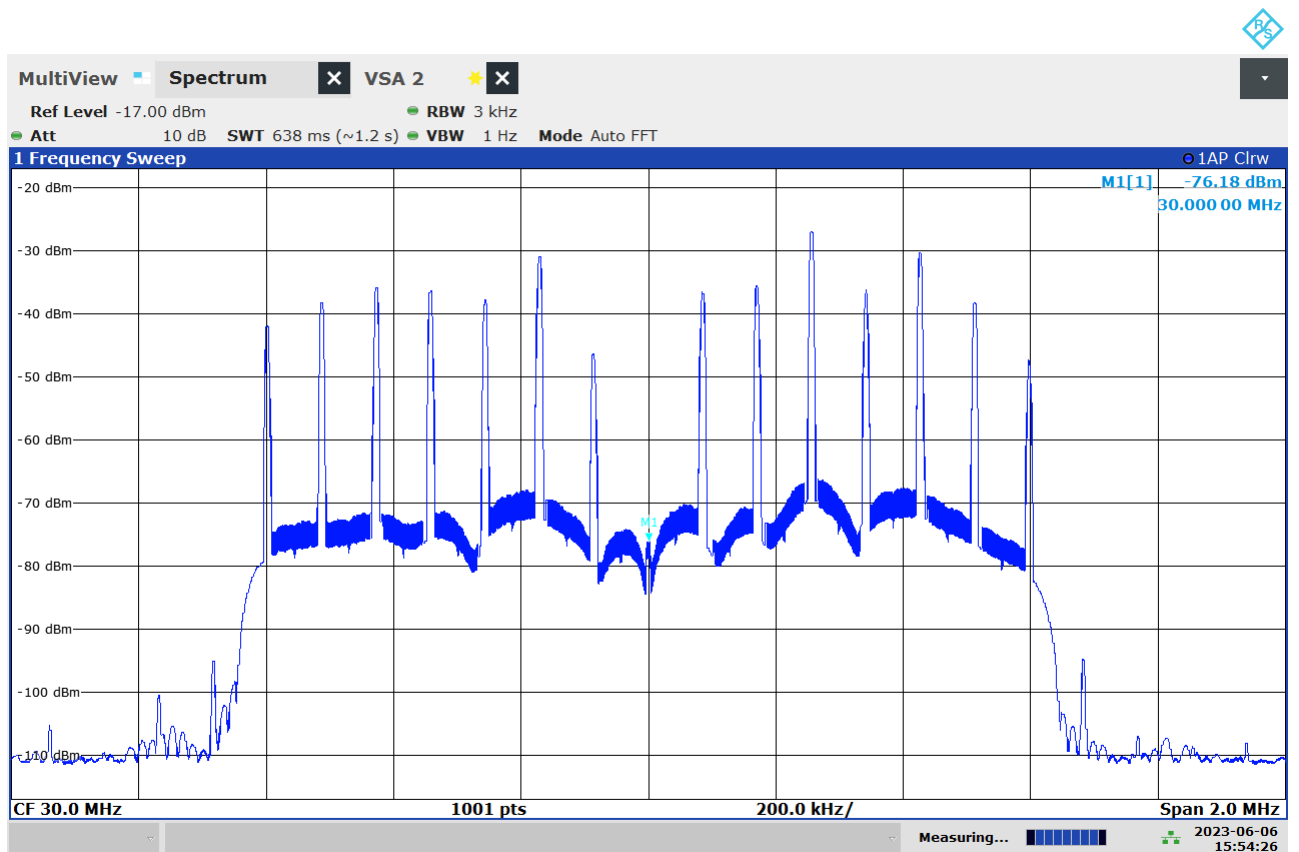


Рисунок 23 – Анализатор спектра Rohde & Schwarz FSW

С помощью анализатора были получены:

- спектр сигнала (рисунок 24);
- созвездие QPSK (рисунок 25);
- действительное и мнимое представления сигнала (рисунок 26).

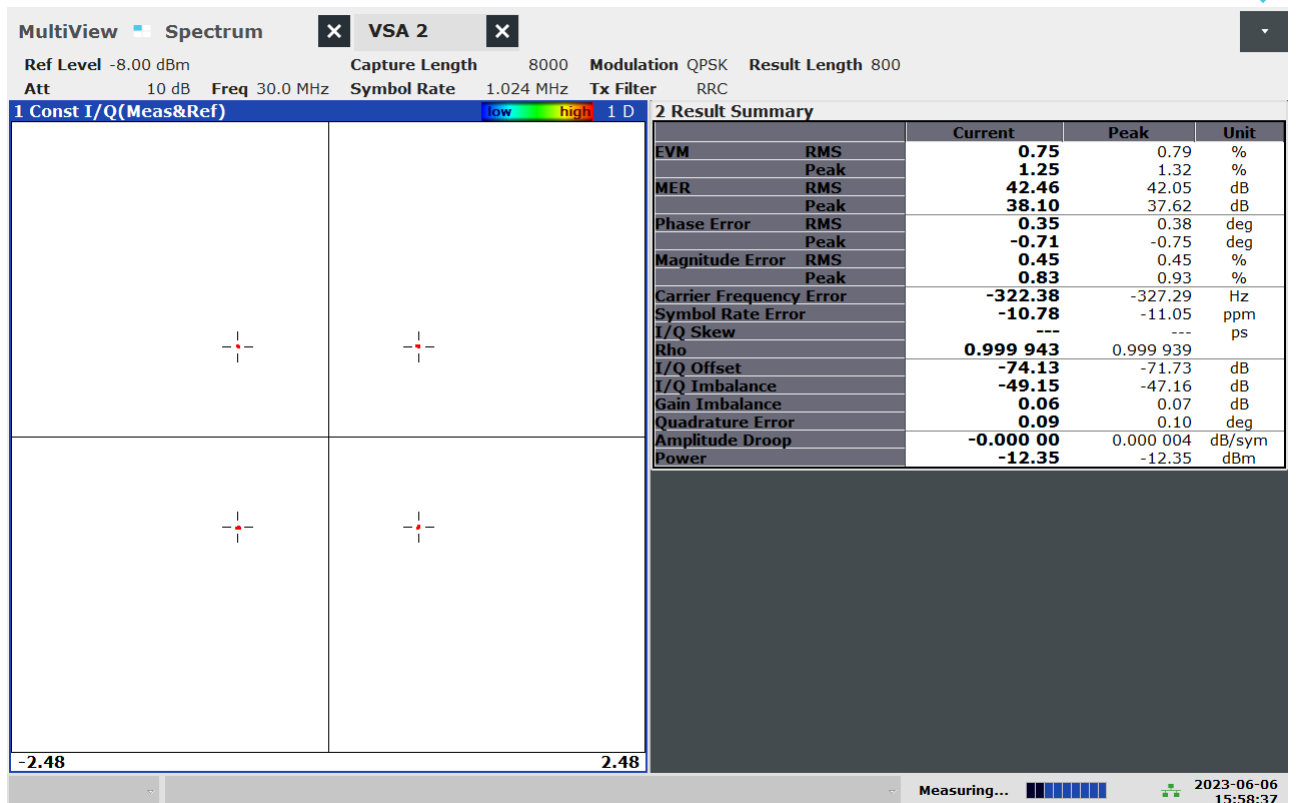




03:54:27 PM 06/06/2023

Рисунок 24 – Спектр сигнала

В спектре сигнала формируемого модулятора присутствуют всплески. Данное явление связано с небольшим расширением спектра в связи с чем в выходном сигнале присутствует множество повторяющихся последовательностей. Решением данной проблемы является формирование непрерывной (без сброса на каждом бите) ПСП на всем протяжении данных.



03:58:38 PM 06/06/2023

Рисунок 25 – Созвездие QPSK

На рисунке 25 представлено созвездие QPSK, полученное путем демодуляции выходного сигнала разработанного модулятора встроенным средством векторного анализа сигнала (VSA) анализатора спектра. По рисунку видно, что символы принимаемого сигнала соответствуют референтным точкам созвездия QPSK, а символьная ошибка составляет 10.78 ppm.



04:08:56 PM 06/06/2023

Рисунок 26 – Действительное и мнимое представления сигнала

### 3.6 Сравнения полученных данных испытания с данными симуляции

С помощью симуляции в Vivado 2021 были получены отсчеты на выход ЦАП. Используя отсчеты, был построен графики действительной и мнимой части (рисунок 27). Так же с помощью MATLAB был получен спектр сигнала (рисунок 28).

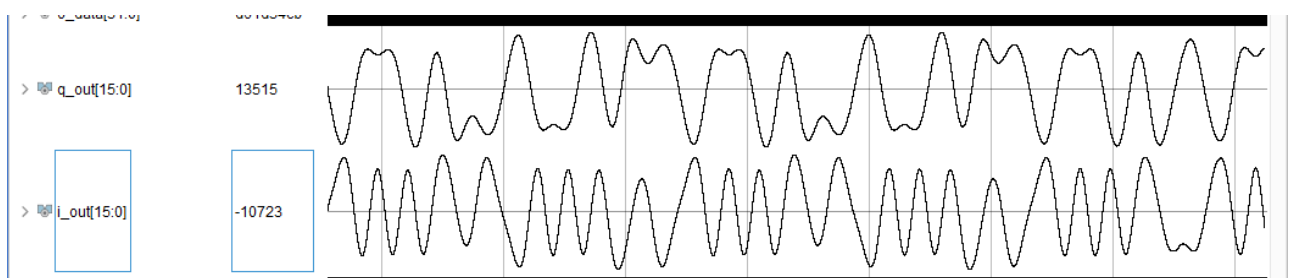


Рисунок 27 – Графики действительной и мнимой части с симуляции

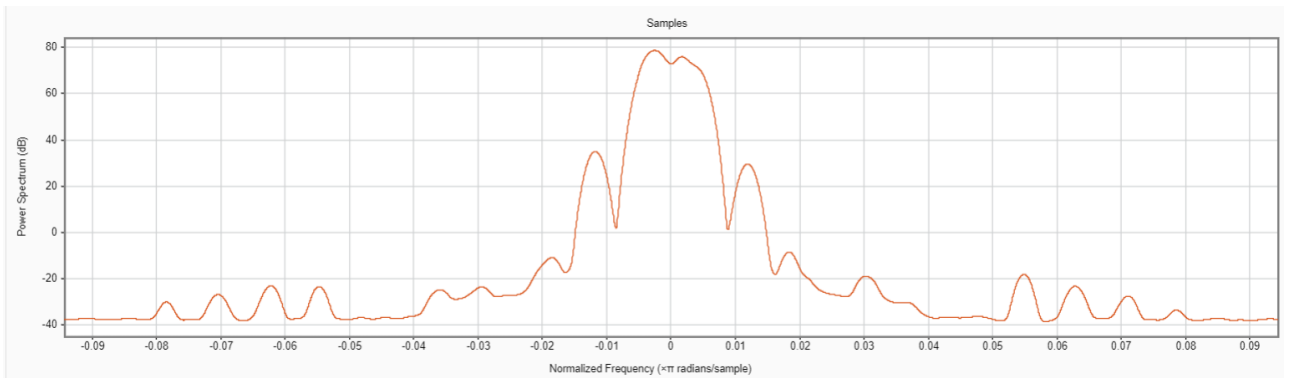


Рисунок 28 – Спектр сигнала с симуляции

График спектра и графики действительной и мнимой части совпадают с данными, полученными на анализаторе.

### 3.7 Вывод

Разработана структурная схема модулятора широкополосного сигнала для аппаратной реализации широкополосного модулятора. К каждому модулю представлено описание работы. Разработана аппаратная реализация широкополосного модулятора. Проведено тестирование разработанного модуля при помощи средств симуляции. Проведены испытания разработанного модуля на функциональном аналоге xilinx kintex-7 kc705 evaluation platform с FMC150 при помощи анализатора спектра.

## ЗАКЛЮЧЕНИЕ

В процессе выполнения выпускной квалификационной работы были проанализированы способы многостанционного доступа и аналог CDMA2000.

Разработана программная модель широкополосного модулятора в MATLAB и проведено ее моделирование.

Разработана аппаратная реализация широкополосного модулятора, выполнено его тестирование с помощью средств симуляции и проведено его испытание на плате kintex-7 kc705 evaluation platform с установленным модулем FMC150.

Дальнейшее развитие представляет собой разработку демодулятора для разработанного модуля. И проверки их совместной работы.

## СПИСОК СОКРАЩЕНИЙ

VSAT	–	very small aperture terminal
МДЧР	–	многостанционный доступ с частотным разделением
МДВР	–	многостанционный доступ с временным разделением
МДКР	–	многостанционный доступ с кодовым разделением
ЗС	–	земная станция
ШПС	–	широкополосный сигнал
CDMA	–	code division multiple access
ПЛИС	–	программируемая логическая интегральная схема
ВКР	–	выпускная квалификационная работа
XOR	–	исключающее ИЛИ
QPSK	–	quadrature phase-shift keying
FIFO	–	first in, first out
ПСП	–	псевдослучайная последовательность
RAM	–	random access memory
ROM	–	read-only memory
РСЛОС	–	регистр сдвига с линейной обратной связью
LFSR	–	linear feedback shift register
IP	–	сложно-функциональный блок
ЦАП	–	цифра аналоговый преобразователь
VSA	–	vector signal analyzer
ppm	–	parts per million

## СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

- 1 Спутниковые системы связи: Учебное пособие для вузов / Под ред. А. М. Сомова. – Москва: Горячая линия-Телеком, 2012. – 244 с.: ил. ISBN 978-5-9912-0225-1.
- 2 Цифровая связь. – Пер. с англ. // Под ред. Д. Д. Кловского. – М.: Радио и связь, 2000. – 800 с – стр. 151.
- 3 Цифровая обработка сигналов: Второе издание. Пер. с англ. – М.: ООО «Бином-Пресс», 2006 г. – 656 с.: ил.
- 4 Xilinx Products [Электронный ресурс]: Официальный сайт компании Xilinx. – URL: <https://www.xilinx.com/products/design-tools/vivado.html> (дата обращения: 02.01.2023).
- 5 Block Memory Generator v8.4 Product Guide (PG058) / AMD Adaptive Computing Documentation Portal : [сайт]. – URL: <https://docs.xilinx.com/v/u/en-US/pg058-blk-mem-gen> (дата обращения: 02.01.2023).
- 6 Принцип работы РСЛОС [Электронный ресурс]. – URL: <https://habr.com/ru/articles/534732/> (дата обращения: 02.01.2023).
- 7 Четырехпозиционная фазовая модуляция [Электронный ресурс]. – URL: <https://digteh.ru/UGFSvSPS/modul/QPSK/> (дата обращения: 02.01.2023).
- 8 FIR Compiler (PG149) / AMD Adaptive Computing Documentation Portal : [сайт]. – URL: <https://docs.xilinx.com/r/en-US/pg149-fir-compiler> (дата обращения: 02.01.2023).
- 9 Introduction to Filter Designer / MathWorks : [сайт]. – URL: <https://www.mathworks.com/help/signal/ug/introduction-to-filter-designer.html> (дата обращения: 02.01.2023).
- 10 Логическое проектирование и верификация систем на SystemVerilog / пер. с англ. А. А. Слинкина, А. С. Камкина, М. М. Чупилко; науч. ред. А. С. Камкин, М. М. Чупилко. – М.: ДМК Пресс, 2019. – 384с.: ил.

## ПРИЛОЖЕНИЕ А

### Листинг разработанного ПЛИС – проекта

В приложении приведены заголовки основных модулей, большая часть кода приведена на CD-диске.

Топ модуль проекта:

```
module Modulator #(
    parameter SIZE_INPUT_BIT = 8,
    parameter SIZE_OUTPUT_BIT = 32
) (
    // Управляющие сигналы
    input i_clk,
    input i_reset,
    // Входные данные
    input [SIZE_INPUT_BIT-1:0] i_data,
    input i_valid_input,
    output o_ready,
    // Выходные данные
    output [31:0] o_data,
    output o_valid_output
);

endmodule
```



### Модуль Pack:

```
module Pack #(
    parameter SIZE_BIT_PACK = 1976,
    parameter SIZE_INPUT_BIT = 8,
    parameter SIZE_OUTPUT_BIT = 1,
    parameter SISE_PREAMBLE = 32,
    parameter LENGTHE_INPUT_BIT = SIZE_BIT_PACK / SIZE_INPUT_BIT,
    parameter LENGTHE_OUTPUT_BIT = SIZE_BIT_PACK / SIZE_OUTPUT_BIT,
    parameter SIZE_ADDR_INPUT = $clog2(LENGTHE_INPUT_BIT),
    parameter SIZE_ADDR_OUTPUT = $clog2(LENGTHE_OUTPUT_BIT),
    parameter ADDR_FIRST_WRITE = SISE_PREAMBLE / SIZE_INPUT_BIT
) (
    // Управляющие сигналы
    input i_clk,
    input i_reset,
    // Сигналы для входных данных
    output reg o_ready,
    input [SIZE_INPUT_BIT-1:0] i_data,
    input i_valid_input,
    // Сигналы для выходных данных
    input i_ready_output,
    output reg [SIZE_OUTPUT_BIT-1:0] o_data,
    output reg o_valid
);

endmodule
```

### Модуль Spread:

```
module Spread #(
    parameter SPREAD = 24,
    parameter SIZE_COUNTER = $clog2(SPREAD)
) (
    // Управляющие сигналы
    input i_clk,
```

```

input i_reset,
// Сигналы для входа
input i_data,
input i_valid,
output reg o_ready,
// Сигналы для вывода
input i_enable,
output o_data,
output reg o_valid
);

endmodule

```

### Модуль QPSK:

```

module QPSK (
// Управляющие сигналы
input i_clk,
input i_reset,
// Входные данные
input i_data,
input i_valid,
// Выходные данные
output reg [31:0] o_data,
output reg o_valid
);

endmodule

```

### Модуль lfsr:

```

module lfsr(
// Сигналы управления
input i_clk,
input i_reset,
// Сигнал валидности

```

```
    input i_valid,  
    // Выход  
    output o_data  
);
```

```
endmodule
```

### Модуль Divider\_clk:

```
module Divider_clk #(  
    parameter DIVIDER = 240,  
    parameter SIZE_COUNTER = $clog2(DIVIDER)  
)(  
    input i_clk,  
    input i_reset,  
    input i_ready,  
    output reg o_clk  
);
```

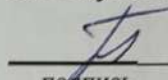
```
endmodule
```

Министерство науки и высшего образования РФ  
Федеральное государственное автономное  
образовательное учреждение высшего образования  
«СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Институт космических и информационных технологий  
Кафедра вычислительной техники

УТВЕРЖДАЮ

Заведующий кафедрой

  
\_\_\_\_\_ О.В. Непомнящий  
подпись


« 22 » 06 2023 г.

**БАКАЛАВРСКАЯ РАБОТА**

09.03.01 – Информатика и вычислительная техника

Разработка широкополосного модулятора спутниковой абонентской станции


Руководитель

  
\_\_\_\_\_, 21.06.23  
подпись, дата

ст. преподаватель

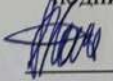
А.Г. Хантимиров

Выпускник

  
\_\_\_\_\_, 21.06.23  
подпись, дата

М.В. Сабитов

Нормоконтролер

  
\_\_\_\_\_, 21.06.23  
подпись, дата

ст. преподаватель

А.Г. Хантимиров

Красноярск 2023