

Министерство науки и высшего образования РФ
Федеральное государственное автономное образовательное учреждение
высшего образования
«СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Космических и информационных технологий
институт

Вычислительная техника
кафедра

УТВЕРЖДАЮ
Заведующий кафедрой
О. В. Непомнящий

_____ подписью _____ инициалы, фамилия
« ____ » _____ 20 ____ г.

БАКАЛАВАРСКАЯ РАБОТА

09.03.01 Информатика и вычислительная техника
код и наименование направления

Программируемый шифратор в СОК
тема

Пояснительная записка

Руководитель	_____ подписью, дата	доцент, канд.тех.наук _____ должность, ученая степень	А. И. Постников _____ инициалы, фамилия
Выпускник	_____ подписью, дата		А. А. Копытов _____ инициалы, фамилия
Нормоконтролер	_____ подписью, дата	доцент, канд.тех.наук _____ должность, ученая степень	В. И. Иванов _____ инициалы, фамилия

Красноярск 2019

Министерство науки и высшего образования РФ
Федеральное государственное автономное образовательное учреждение
высшего образования
«СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Космических и информационных технологий
институт

Вычислительная техника
кафедра

УТВЕРЖДАЮ
Заведующий кафедрой
О. В. Непомнящий

подпись

инициалы, фамилия

« ___ » _____ 20 ____ г.

**ЗАДАНИЕ
НА ВЫПУСКНУЮ КВАЛИФИКАЦИОННУЮ РАБОТУ
в форме бакалаврской работы**

Студенту Копытову Александру Андреевичу

фамилия, имя, отчество

Группа КИ15-08Б Направление (специальность) 09.03.01

номер

код

Информатика и вычислительная техника

наименование

Тема выпускной квалификационной работы Программируемый шифратор в СОК

Утверждена приказом по университету № _____ от _____

Руководитель ВКР А. И. Постников, доцент, канд.тех.наук

инициалы, фамилия, должность, учёное звание и место работы

Исходные данные для ВКР: провести обзор существующих корректирующих и помехоустойчивых кодов, разобрать математические принципы системы остаточных классов, разработать различные варианты реализации шифратора на основе системы остаточных классов, протестировать полученные схемы на программируемой логической интегральной схеме, провести сравнительный анализ разработанных устройств.

Перечень разделов ВКР: Анализ задания на проектирование, разработка шифратора, тестирование шифратора, итоговые характеристики реализаций шифратора.

Перечень графического материала: презентация в формате PowerPoint.

Руководитель ВКР

подпись

А. И. Постников

инициалы, фамилия

Задание принял к исполнению

подпись

А. А. Копытов

инициалы, фамилия

«___» _____ 2019

РЕФЕРАТ

Выпускная квалификационная работа по теме «Программируемый шифратор в СОК» содержит 43 страницы текстового документа, 7 таблиц, 19 иллюстраций, 13 использованных источников.

МНОГОКАНАЛЬНЫЕ СИСТЕМЫ ПЕРЕДАЧИ ДАННЫХ, ПЛИС, СИСТЕМЫ СЧИСЛЕНИЯ, ШИФРАТОР, СИСТЕМА ОСТАТОЧНЫХ КЛАССОВ, INTEL, VERILOG

Так как скорость и объём передаваемой информации постоянно растёт, создание надежной системы передачи данных будет всегда актуальным.

Цель работы: разработка и сравнительный анализ вариантов реализаций программируемого шифратора, способного сформировать кодовый вектор для передачи потока информации по одному или нескольким каналам с использованием системы остаточных классов.

Для выполнения поставленной задачи требуется решить следующие задачи:

- 1) анализ предметной области;
- 2) разработка шифратора;
- 3) реализация шифратора различными способами;
- 4) сравнительный анализ полученных результатов.

В результате выполнения данной работы было разработано и протестировано на ПЛИС несколько реализаций шифратора, проведен их сравнительный анализ.

СОДЕРЖАНИЕ

Введение.....	Ошибка! Закладка не определена.
1 Анализ задания на проектирование	Ошибка! Закладка не определена.
1.1 Цель и задачи разработки	Ошибка! Закладка не определена.
1.2 Анализ предметной области.....	Ошибка! Закладка не определена.
1.2.1 Обзор методов кодирования и контроля информации.....	Ошибка!
	Закладка не определена.
1.2.2 Теоретические аспекты использования СОК	Ошибка! Закладка не определена.
1.2.2.1 Выполнение арифметических операции в СОК	Ошибка!
	Закладка не определена.
1.2.2.2 Основные способы и алгоритмы перехода от позиционного представления к остаткам	Ошибка! Закладка не определена.
1.2.2.3 Выводы по использованию СОК	Ошибка! Закладка не определена.
1.2.3 Выбор весовых коэффициентов для различного числа каналов	Ошибка! Закладка не определена.
1.3 Выбор средств разработки и отладки	Ошибка! Закладка не определена.
2 Разработка шифратора.....	Ошибка! Закладка не определена.
2.1 Реализация блоков шифратора.....	Ошибка! Закладка не определена.
2.1.1 Блок верхнего уровня.....	Ошибка! Закладка не определена.
2.1.2 Блок block_RNS	Ошибка! Закладка не определена.
2.1.3 Блок fixModx.....	Ошибка! Закладка не определена.
2.1.4 Блок modXAdd.....	Ошибка! Закладка не определена.
2.1.5 Блок oneStepDiv	Ошибка! Закладка не определена.
2.1.6 Блок outMux	Ошибка! Закладка не определена.
3 Тестирование шифратора	Ошибка! Закладка не определена.
4 Итоговые характеристики реализаций шифратора	Ошибка! Закладка не определена.
Заключение	2

Список использованных источников	3
Приложение А	5
Приложение Б	8
Приложение В.....	9
Приложение Г	10

[Изъято 32 стр. имеющие потенциальную коммерческую ценность]

ЗАКЛЮЧЕНИЕ

В ходе данной работы был разработан и протестирован программируемый шифратор (передатчик), способный сформировать помехозащищенный код для передачи потока информации по одному или нескольким каналам с использованием системы остаточных классов. Сделано несколько вариантов реализаций этого устройства, проведен их сравнительный анализ при использовании на ПЛИС. Работоспособность была проверена с помощью встроенного в микросхему логического анализатора.

Это первая часть большой работы. Следующим этапом будет создание приемника, способного восстанавливать сигнал при отказе одного из каналов. После этого возможно создание надёжной системы передачи плавно изменяющихся сигналов.

Также был получен опыт работы в непозиционных системах счисления, расширены знания по теории информации и схемотехнике, закреплены практические навыки конфигурирования, тестирования и отладки программируемых логических интегральных схем с использованием языка описания аппаратуры Verilog.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Цокур, Э. А. Использование системы остаточных классов для повышения надёжности цифровых многоканальных систем передачи информации : дис. ... канд. техн. наук : 05.13.17 / Цокур Эдуард Анатольевич. – Красноярск, 2001. – 179 с.
2. Акушский, И. Я. Машинная арифметика в остаточных классах / И. Я. Акушский, Д. И. Юдицкий. – Москва : Советское радио, 1968. – 439 с.
3. Verilog [Электронный ресурс] Марсоход. – Режим доступа: <https://marsohod.org/verilog>
4. Постников, А. И. Основы теории цифровых автоматов. / А. И. Постников. – Красноярск : КГТУ, 2000. – 291 с.
5. BOOM-ii: the PLA minimizer [Электронный ресурс] ddd.fit.cvut.cz. – Режим доступа: <https://ddd.fit.cvut.cz/prj/BOOM/index.php?page=manual>
6. Quartus Prime Standart Edition Handbook Volume 1: Design and Synthesis [Электронный ресурс] Intel. – Режим доступа: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/archives/qts-qps-handbook-16.0.pdf>
7. Timing Analyzer Quick-Start Tutorial [Электронный ресурс] Intel. – Режим доступа: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_tq_tutorial.pdf
8. Карцев М. А. Вычислительные системы и синхронная арифметика / М. А. Карцев, В. А. Брик. – Москва : Радио и связь, 1981. – 360 с.
9. Карцев, М. А. Вычислительные системы и синхронная арифметика / М. А. Карцев, В. А. Брик. – Москва : Радио и связь, 1981. – 360 с.
10. Логический анализатор SignalTap [Электронный ресурс] Марсоход. – Режим доступа: <https://marsohod.org/11-blog/213-signaltap>
11. Савельев, А. Я. Арифметические и логические основы цифровых автоматов / А. Я. Савельев. – Москва : Высшая школа, 1980. 255 с.

12. Непретимова, Е. В. Разработка математических методов и алгоритмов для исследования корректирующих свойств кодов в системе остаточных классов : дис. ... канд. физ.-мат. наук : 05.13.18 / Непретимова Елена Владимировна. – Ставрополь, 2003. – 231 с.

13. Cyclone IV Device Handbook, Volume 1 [Электронный ресурс] Intel.
– Режим доступа: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyclone4-handbook.pdf>

ПРИЛОЖЕНИЕ А

Описание шифратора на языке Verilog

```
module coderRNS(input [7:0] inputData,input writeData,input clk, input reset,
output [3:0] out, input [1:0] selector);
    reg [7:0] REG_DATA;
    reg [2:0] STATE;
    wire [3:0] wireModOut [3:0];
    reg [3:0] OUT_BUF;
    reg enOut;
    assign out = enOut ? wireMuxOut : 4'bzzzz;
    outMux _outMux(OUT_BUF, wireMuxOut, selector);
    block_RNS    _block_RNS(.data(REG_DATA),    .out0(wireModOut[0]),
.out1(wireModOut[1]), .out2(wireModOut[2]), .out3(wireModOut[3]));
    assign testState = STATE;

    always @(posedge clk or posedge reset)
    begin
        if(reset)
            begin
                REG_DATA <=8'b0;
                STATE <= 3'b000;
                enOut <= 1'b0;
            end
        else
            begin
                case (STATE)
                    3'b100:    begin
```

```

STATE <= 3'b011;
enOut <= 1'b1;
OUT_BUF[0] <= wireModOut[0][0];
OUT_BUF[1] <= wireModOut[1][0];
OUT_BUF[2] <= wireModOut[2][0];
OUT_BUF[3] <= wireModOut[3][0];
end
3'b011: begin
STATE <= 3'b010;
enOut <= 1'b1;
OUT_BUF[0] <= wireModOut[0][1];
OUT_BUF[1] <= wireModOut[1][1];
OUT_BUF[2] <= wireModOut[2][1];
OUT_BUF[3] <= wireModOut[3][1];
end
3'b010: begin
STATE <= 3'b001;
enOut <= 1'b1;
OUT_BUF[0] <= wireModOut[0][2];
OUT_BUF[1] <= wireModOut[1][2];
OUT_BUF[2] <= wireModOut[2][2];
OUT_BUF[3] <= wireModOut[3][2];
end
3'b001: begin
STATE <= 3'b000;
enOut <= 1'b1;
OUT_BUF[0] <= wireModOut[0][3];
OUT_BUF[1] <= wireModOut[1][3];
OUT_BUF[2] <= wireModOut[2][3];

```

```

                                OUT_BUF[3] <= wireModOut[3][3];
                                end
3'b000:    begin
                                enOut <= 1'b1;
                                OUT_BUF <= 4'b000;
                                if(writeData)
                                    begin
                                        REG_DATA <= inputData;
                                        STATE <= 3'b100;
                                    end
                                else
                                    STATE <= 3'b000;
                                end
                                default:STATE <= 3'b000;
                                endcase
                                end
                                end
                                endmodule

```

ПРИЛОЖЕНИЕ Б

Описание блока mod3Add на языке Verilog

```
module mod3Add(input [7:0] data, output [1:0] out);
wire w1_1_1, w1_1_2;
wire w1_2_1, w1_2_2;

wire w2_1_1, w2_1_2;
wire w2_2_1, w2_2_2;

wire w3_1_2;
wire w3_2_1;

wire wire1, wire2, wire3;

fullSM _fullSM1_1(.a(data[0]), .b(data[2]), .c(data[4]), .s(w1_1_1),
.p(w1_1_2));
fullSM _fullSM1_2(.a(data[1]), .b(data[3]), .c(data[5]), .s(w1_2_2),
.p(w1_2_1));

fullSM _fullSM2_1(.a(w1_1_1), .b(w1_2_1), .c(data[6]), .s(w2_1_1),
.p(w2_1_2));
fullSM _fullSM2_2(.a(w1_2_2), .b(w1_1_2), .c(data[7]), .s(w2_2_2),
.p(w2_2_1));

fullSM _fullSM3_1(.a(w3_2_1), .b(w2_1_1), .c(w2_2_1), .s(wire1),
.p(w3_1_2));
fullSM _fullSM3_2(.a(w3_1_2), .b(w2_1_2), .c(w2_2_2), .s(wire2),
.p(w3_2_1));

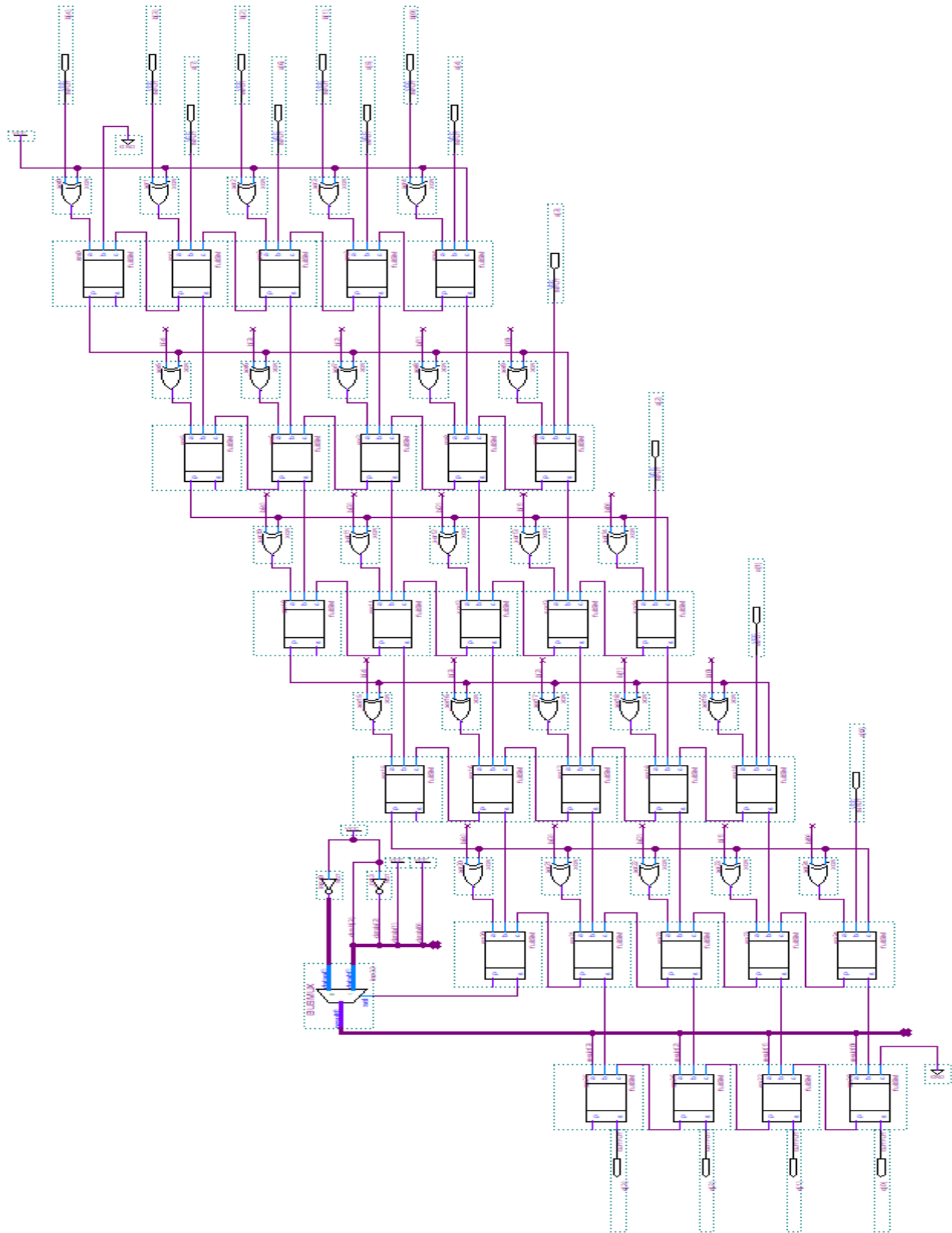
assign wire3 = wire1 & wire2;

assign out[0] = wire1 & ~wire3;
assign out[1] = wire2 & ~wire3;

endmodule
```

ПРИЛОЖЕНИЕ В

Схема блока oneStepDiv



ПРИЛОЖЕНИЕ Г

Описание блока test на языке Verilog

```
module test(input clk, output [2:0] out);
reg [26:0] counter;
reg lowFreq;
reg [7:0] inputNumber;

fixMod3 _fixMod3(inputNumber,out); // тестируемый блок

always @(posedge lowFreq)
inputNumber <= inputNumber + 1'b1;

always @(posedge clk)
begin
    if(counter < 1000000)
        begin
            counter <= counter + 1'b1;
            lowFreq <= 1'b0;
        end
    else
        begin
            counter <= 1'b0;
            lowFreq <= 1'b1;
        end
end
endmodule
```

Министерство науки и высшего образования РФ
Федеральное государственное автономное образовательное учреждение
высшего образования
«СИБИРСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Космических и информационных технологий
институт

Вычислительная техника
кафедра

УТВЕРЖДАЮ
Заведующий кафедрой
О. В. Непомнящий
подпись инициалы, фамилия
« 28 » 06 20 19 г.

БАКАЛАВАРСКАЯ РАБОТА

09.03.01 Информатика и вычислительная техника
код и наименование направления

Программируемый шифратор в СОК
тема

Пояснительная записка

Руководитель	<u>Иванов 24.06.19</u> подпись, дата	доцент, канд.тех.наук должность, ученая степень	<u>А. И. Постников</u> инициалы, фамилия
Выпускник	<u>Копытов 24.06.19</u> подпись, дата		<u>А. А. Копытов</u> инициалы, фамилия
Нормоконтролер	<u>Иванов 27.06.19</u> подпись, дата	доцент, канд.тех.наук. должность, ученая степень	<u>В. И. Иванов</u> инициалы, фамилия

Красноярск 2019