

УДК 629.7.025.001.2:620.193

The Onboard Computer of the Aircraft on the Configurable Processor

Ivan M. Ivanov* and Dmitry S. Viktorov

*Military Academy of Aero-Space Defense
named after the Marshal of Soviet Union G.K. Zhukov
50 Zhigareva Str., Tver, 170100, Russia*

Received 04.09.2018, received in revised form 12.02.2019, accepted 23.04.2019

The article deals with an on-board computer of an aircraft built on a configurable processor, an algorithm for controlling the redundancy of an on-board computer is developed, which assumes a complex application of structural, temporal and versional redundancies and provides a reliability model.

Keywords: on-board computer, reliability, fault tolerance, redundancy management.

Citation: Ivanov I.M., Viktorov D.S. The onboard computer of the aircraft on the configurable processor, J. Sib. Fed. Univ. Eng. technol., 2019, 12(6), 641-649. DOI: 10.17516/1999-494X-0163.

Бортовой вычислитель воздушного судна на конфигурируемых процессорах

И.М. Иванов, Д.С. Викторов

*Военная академия воздушно-космической обороны
им. Маршала Советского Союза Г.К. Жукова
Россия, 170100, Тверь, ул. Жигарева, 50*

В статье рассматривается бортовой вычислитель воздушного судна, построенный на конфигурируемых процессорах, разработан алгоритм управления избыточностью бортового вычислителя, который предполагает комплексное применение структурной, временной и версионной избыточностей, и приведена модель надежности.

Ключевые слова: бортовой вычислитель, надежность, отказоустойчивость, управление избыточностью.

© Siberian Federal University. All rights reserved

This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International License (CC BY-NC 4.0).

* Corresponding author E-mail address: boxter2004@mail.ru

Задачи разработки и проектирования комплексов бортового оборудования (КБО) перспективных авиационных комплексов (ПАК) являются одними из приоритетных задач авиационной промышленности Российской Федерации [1, 2].

В интересах совершенствования КБО по дальнейшей унификации модулей и компонентов с целью снижения массогабаритных характеристик, повышения производительности элементной базы, надежности и отказоустойчивости предлагается разработать бортовой вычислитель воздушного судна на конфигурируемых процессорах и алгоритм управления избыточностью бортового вычислителя.

Предлагаемый бортовой вычислитель с управляемой избыточностью воздушного судна содержит два конфигурируемых процессора различных фирм производителей, в кристаллах которых синтезировано по два внутренних канала обработки информации и по одному элементу сравнения (полученного путем описания логики работы процессора на одном из языков описания аппаратуры JHDL, AHDL, VHDL или Verilog, причем для описания алгоритмов функционирования внутренних каналов обработки информации применяются разные языки программирования), вне кристаллов располагаются две схемы сравнения, восемь элементов И, коммутатор, блок управления и контроля, вход данных системы и выход данных системы (рис. 1). Блок управления и контроля (рис. 2) содержит дешифратор кода неисправности, семь элементов И, пять элементов ИЛИ, генератор синхронизирующих импульсов, постоянно запоминающее устройство (ПЗУ) начального адреса, конфигурационное ПЗУ, ПЗУ коэффициента деления, две памяти контрольных точек, счетчик адреса, счетчик количества повторов кода неисправности, счетчик коэффициента деления, счетчик модификации адреса очередной контрольной точки (КТ), два коммутатора, мультивибратор, схему сравнения, регистр адреса команды-инициатора, регистр кода неисправности, асинхронный регистр, регистр адреса очередной КТ, входы неисправности,

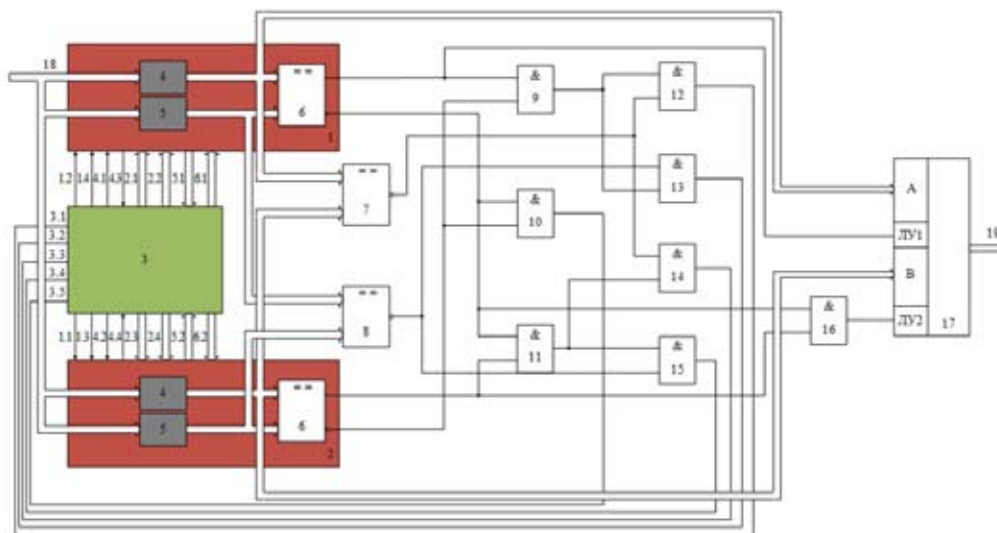


Рис. 1. Бортовой вычислитель воздушного судна на конфигурируемых процессорах

Fig. 1. The onboard computer of the aircraft on the configurable processor

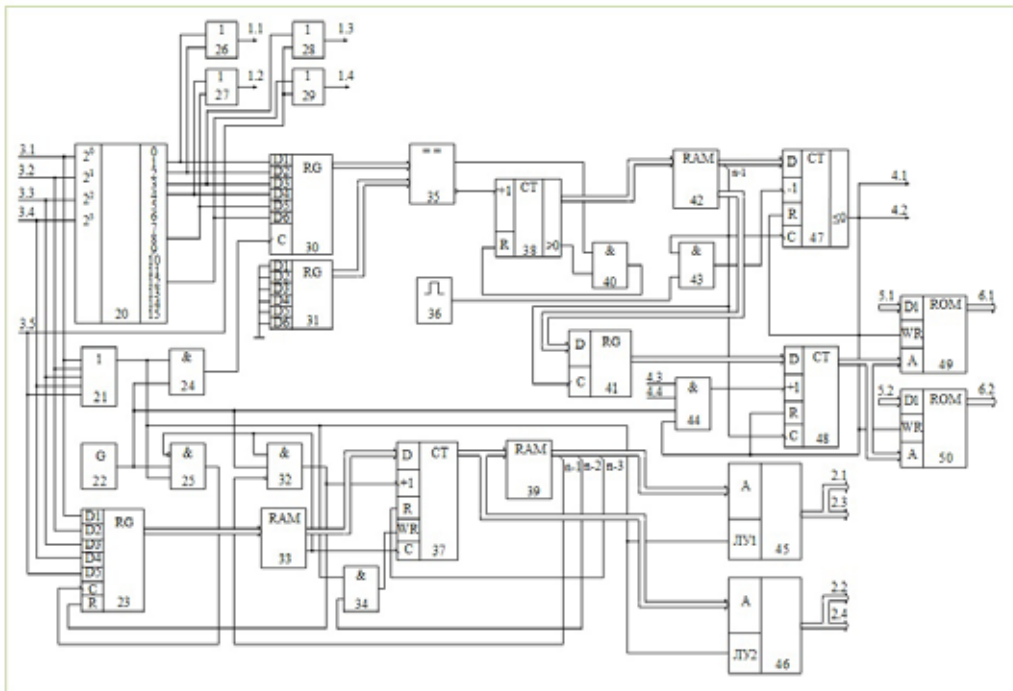


Рис. 2. Блок управления и контроля

Fig. 2. Control and monitoring unit

управляющие выходы, выходы адресов, выходы загрузки программного обеспечения (ПО) обработки данных, выходы формирования КТ, входы завершения формирования КТ, входы передачи данных, выходы передачи данных.

Такое построение бортового вычислителя (БВ) позволяет парировать одиночные и кратные отказы технических средств (ТС) и ПО и за счет контроля интенсивности сбоев изменять интенсивность формирования КТ.

Алгоритм управления избыточностью бортового вычислителя

При разработке алгоритма управления избыточностью БВ приняты следующие допущения:

- 1) средства контроля и диагностирования считаются абсолютно надежными;
- 2) отказы конфигурируемых процессоров (КП) носят случайный и независимый характер;
- 3) проявления дефектов программного обеспечения независимы друг от друга;
- 4) интенсивности восстановления после сбоев и отказов являются неизменными;
- 5) восстановление сбившегося внутреннего канала обработки (ВКО) информации осуществляется путем повтора программы обработки информации с предыдущей контрольной точки (КТ), при этом КТ представляет собой периодически записываемое операционной системой в энергозависимую память состояние всех полей основной памяти БВ;
- 6) последствия отказов программного обеспечения обработки данных в ВКО ликвидируются путем перепрограммирования;

- 7) последствия поврежденных блоков КП ликвидируются путем перепрограммирования отказавшего ВКО в свободную область КП;
- 8) одновременный отказ ВКО в каждом из КП невозможен.

Предлагаемый алгоритм управления избыточностью представлен на рис. 3. Сущность алгоритма заключается в комплексном применении структурной (структурное резервирование), версионной (бортовой вычислитель реализован на КП различных фирм производителей, логика работы процессоров описана на различных языках описания аппаратуры) и временной (восстановление вычислительного процесса осуществляется по КТ, и в зависимости от частоты проявления последовательных сбоев осуществляется динамическое изменение интервалов формирования КТ) избыточностей, направленных на повышение отказоустойчивости бортового вычислителя.

Бортовой вычислитель начинает работу в двухканальной конфигурации. В процессе функционирования данные обрабатываются внутренними каналами обработки информации, которые программно синтезированы в кристаллах конфигурируемых процессоров; кроме того, в кристаллах КП синтезировано по одной схеме сравнения, которая поразрядно сравнивает информацию между ВКО КП. Формирование КТ осуществляется с частотой $\lambda_{кт}$, которая выбирается из особенностей программного обеспечения. Проверка исправности функционирования бортового вычислителя осуществляется за счет средств контроля и диагностирования.

При несовпадении результатов обработки информации во внутренних каналах обработки информации КП средства контроля и диагностирования регистрируют код неисправности K_i отказавшего внутреннего канала обработки информации, предпринимается попытка его восстановления путем m -кратного повторения вычислений с предыдущей контрольной точки, где m – количество возвратов к предыдущей КТ. В случае восстановления отказавшего внутреннего канала обработки информации бортовой вычислитель продолжает функционировать в двухканальной конфигурации (неисправность идентифицируется как сбой в канале). В противном случае при $m > 3$ принимается решение об отказе конфигурируемого процессора и по зарегистрированному коду неисправности K_i блоком управления и контроля бортового вычислителя формируется команда на частичное (отказ одного ВКО) либо на полное (отказ двух ВКО) перепрограммирование конфигурируемого процессора. После успешного перепрограммирования осуществляется получение очередного пакета информации и ее обработка. При несовпадении результатов обработки информации после перепрограммирования конфигурируемого процессора и выполнения условия $K_i = K_{i+1}$ (полученный код неисправности соответствует коду предыдущей неисправности) количество последовательных повторов неисправности суммируется ($N_{K_i} + 1$), в результате чего частота формирования КТ изменяется на величину, равную $\lambda_{кт} = 1 / (T_{кт-кт} / N_{K_i})$. Если один и тот же код неисправности повторится больше трех раз $N_{K_i} > 3$, канал исключается из конфигурации и БВ переходит на функционирование в одноканальной архитектуре.

Функционирование БВ в одноканальной конфигурации осуществляется аналогично.

Таким образом, комплексное применение структурной, временной и версионной избыточностей позволяет парировать отказы программного обеспечения и технических средств, дает возможность классифицировать неисправности как сбой/отказ, избегая неоправданного расхода резервных ресурсов, а также изменять частоту формирования КТ при возникновении последовательных отказов.

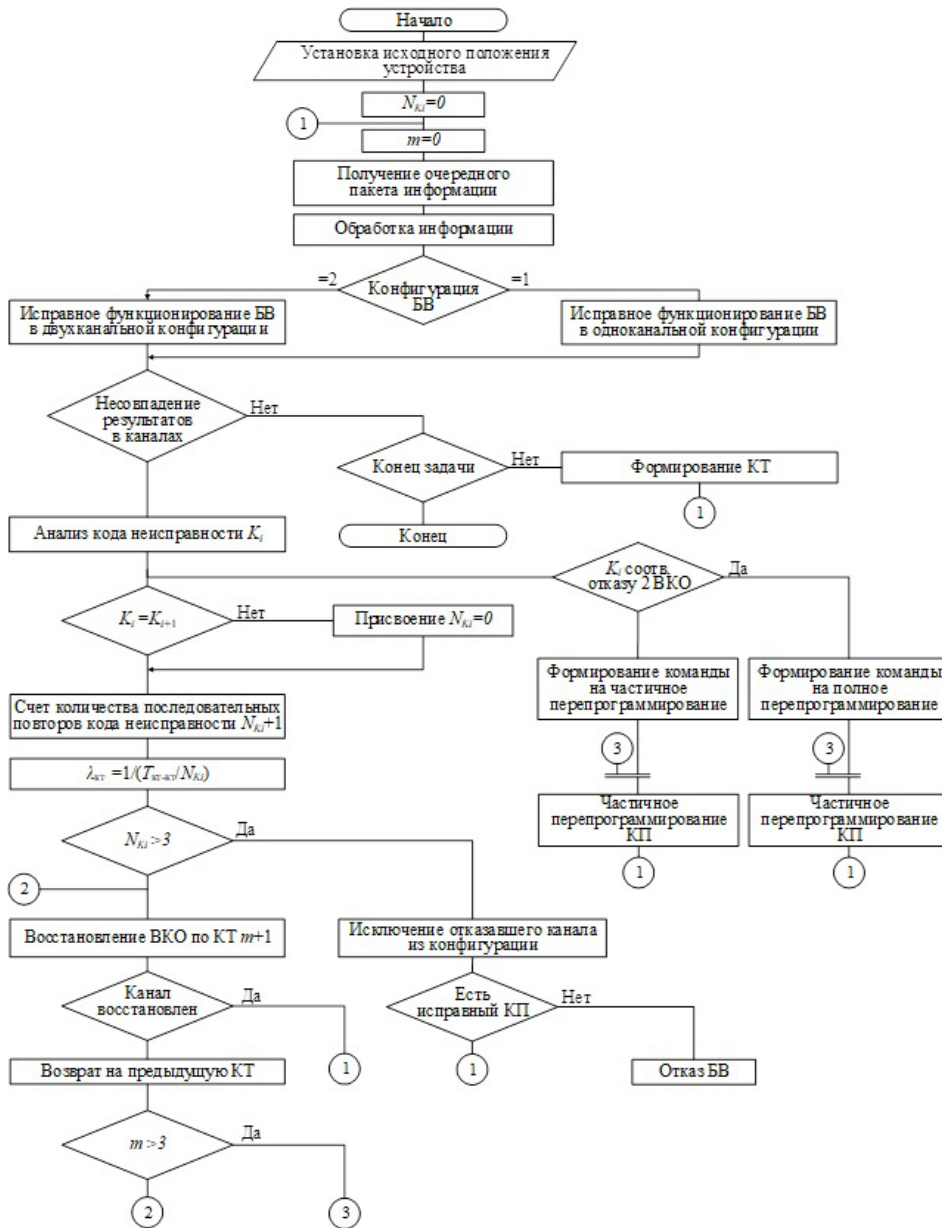


Рис. 3. Алгоритм управления избыточностью бортового вычислителя

Fig. 3. Algorithm for controlling the redundancy of the on-board computer

Модель надежности бортового вычислителя

Проведем количественную оценку прироста надежности при применении предложенного выше алгоритма, для чего разработаем модель надежности БВ. При разработке модели примем дополнительное допущение об экспоненциальном законе распределения времени до отказа. С учетом принятых допущений математическую модель, описывающую поведение БВ для предложенного алгоритма, можно выразить марковской цепью с непрерывным временем и следующими дискретными состояниями:

S_0 – исправное состояние бортового вычислителя;

S_1 – отказ первого внутреннего канала обработки информации первого конфигурируемого процессора;

S_2 – отказ второго внутреннего канала обработки информации первого конфигурируемого процессора;

S_3 – отказ первого конфигурируемого процессора;

S_4 – отказ первого внутреннего канала обработки информации второго конфигурируемого процессора;

S_5 – отказ второго внутреннего канала обработки информации второго конфигурируемого процессора;

S_6 – отказ второго конфигурируемого процессора;

S_7 – отказ первых внутренних каналов обработки информации первого и второго конфигурируемых процессоров;

S_8 – отказ вторых внутренних каналов обработки информации первого и второго конфигурируемых процессоров;

S_9 – отказ первого внутреннего канала обработки информации первого конфигурируемого процессора и второго внутреннего канала обработки информации второго конфигурируемого процессора;

S_{10} – отказ второго внутреннего канала обработки информации первого конфигурируемого процессора и первого внутреннего канала обработки информации второго конфигурируемого процессора;

S_{11} – отказ первой версии программного обеспечения;

S_{12} – отказ второй версии программного обеспечения;

S_{13} – отказ первой версии программного обеспечения и первого внутреннего канала обработки информации первого конфигурируемого процессора;

S_{14} – отказ первой версии программного обеспечения и второго внутреннего канала обработки информации первого конфигурируемого процессора;

S_{15} – отказ второй версии программного обеспечения и первого внутреннего канала обработки информации второго конфигурируемого процессора;

S_{16} – отказ второй версии программного обеспечения и второго внутреннего канала обработки информации второго конфигурируемого процессора;

S_{17} – отказ первой версии программного обеспечения и первого конфигурируемого процессора;

S_{18} – отказ второй версии программного обеспечения и второго конфигурируемого процессора;

S_{19} – формирование контрольной точки (КТ) при исправном функционировании обоих конфигурируемых процессоров;

S_{20} – формирование КТ при исправном функционировании второго внутреннего канала обработки информации первого конфигурируемого процессора и первого – второго внутренних каналов обработки информации второго конфигурируемого процессора;

S_{21} – формирование КТ при исправном функционировании первого внутреннего канала обработки информации первого конфигурируемого процессора и первого – второго внутренних каналов обработки информации второго конфигурируемого процессора;

S_{22} – формирование КТ при исправном функционировании первого – второго внутренних каналов обработки информации второго конфигурируемого процессора;

S_{23} – формирование КТ при исправном функционировании второго внутреннего канала обработки информации второго конфигурируемого процессора и первого – второго внутренних каналов обработки информации первого конфигурируемого процессора;

S_{24} – формирование КТ при исправном функционировании первого внутреннего канала обработки информации второго конфигурируемого процессора и первого – второго внутренних каналов обработки информации первого конфигурируемого процессора;

S_{25} – формирование КТ при исправном функционировании первого – второго внутренних каналов обработки информации первого конфигурируемого процессора;

S_{26} – отказ бортового вычислителя.

Граф переходов БВ, учитывающий интенсивности переходов, представлен на рис. 4. В соответствии с методикой расчета марковских процессов имеем следующую систему уравнений (1):

$$\begin{cases}
 dP_0(t)/dt = -(\lambda_{\text{дпагс}} + \lambda_{\text{дпапо}} + 2\lambda_{\text{откпо}} + 4\lambda_{\text{отквко}} + \lambda_{\text{кт}})P_0(t) + n\mu_{\text{вко}}P_1(t) + n\mu_{\text{вко}}P_2(t) + \\
 + n\mu_{\text{вко}}P_4(t) + n\mu_{\text{вко}}P_5(t) + \mu_{\text{по}}P_{11}(t) + \mu_{\text{по}}P_{12}(t) + (\mu_{\text{по}} + \mu_{\text{вко}})P_{13}(t) + \\
 + (\mu_{\text{по}} + \mu_{\text{вко}})P_{14}(t) + (\mu_{\text{по}} + \mu_{\text{вко}})P_{15}(t) + (\mu_{\text{по}} + \mu_{\text{вко}})P_{16}(t) + (\mu_{\text{по}} + \mu_{\text{кп}})P_{17}(t) + \\
 + (\mu_{\text{по}} + \mu_{\text{кп}})P_{18}(t) + \mu_{\text{кт}}P_{21}(t) + (2\mu_{\text{по}} + 2\mu_{\text{кп}})P_{28}(t); \\
 dP_1(t)/dt = -(n\mu_{\text{вко}} + 2\lambda_{\text{отквко}} + \lambda_{\text{откпо}} + \lambda_{\text{отккп}} + \lambda_{\text{кт}})P_1(t) + \mu_{\text{кт}}P_{22}(t) + \lambda_{\text{отквко}}P_0(t); \\
 dP_2(t)/dt = -(n\mu_{\text{вко}} + 2\lambda_{\text{отквко}} + \lambda_{\text{откпо}} + \lambda_{\text{отккп}} + \lambda_{\text{кт}})P_2(t) + \mu_{\text{кт}}P_{23}(t) + \lambda_{\text{отквко}}P_0(t); \\
 dP_3(t)/dt = -(\lambda_{\text{кт}} + \lambda_{\text{отккп}} + \lambda_{\text{откпо}})P_3(t) + \mu_{\text{кт}}P_{24}(t) + \lambda_{\text{отккп}}P_1(t) + \lambda_{\text{отккп}}P_2(t) + 2\lambda_{\text{откпо}}P_{11}(t); \\
 dP_4(t)/dt = -(n\mu_{\text{вко}} + 2\lambda_{\text{отквко}} + \lambda_{\text{откпо}} + \lambda_{\text{отккп}} + \lambda_{\text{кт}})P_4(t) + \mu_{\text{кт}}P_{25}(t) + \lambda_{\text{отквко}}P_0(t); \\
 dP_5(t)/dt = -(n\mu_{\text{вко}} + 2\lambda_{\text{отквко}} + \lambda_{\text{откпо}} + \lambda_{\text{отккп}} + \lambda_{\text{кт}})P_5(t) + \mu_{\text{кт}}P_{26}(t) + \lambda_{\text{отквко}}P_0(t); \\
 dP_6(t)/dt = -(\lambda_{\text{кт}} + \lambda_{\text{отккп}} + \lambda_{\text{откпо}})P_6(t) + \mu_{\text{кт}}P_{27}(t) + \lambda_{\text{отккп}}P_4(t) + \lambda_{\text{отккп}}P_5(t) + 2\lambda_{\text{откпо}}P_{12}(t); \\
 dP_7(t)/dt = -2\lambda_{\text{отквко}}P_7(t) + \lambda_{\text{отквко}}P_4(t) + \lambda_{\text{отквко}}P_1(t); \\
 dP_8(t)/dt = -2\lambda_{\text{отквко}}P_8(t) + \lambda_{\text{отквко}}P_2(t) + \lambda_{\text{отквко}}P_5(t); \\
 dP_9(t)/dt = -2\lambda_{\text{отквко}}P_9(t) + \lambda_{\text{отквко}}P_1(t) + \lambda_{\text{отквко}}P_5(t); \\
 dP_{10}(t)/dt = -2\lambda_{\text{отквко}}P_{10}(t) + \lambda_{\text{отквко}}P_4(t) + \lambda_{\text{отквко}}P_2(t); \\
 dP_{11}(t)/dt = -(2\lambda_{\text{отквко}} + \lambda_{\text{отккп}} + \mu_{\text{по}} + 2\lambda_{\text{откпо}})P_{11}(t) + \lambda_{\text{откпо}}P_0(t); \\
 dP_{12}(t)/dt = -(2\lambda_{\text{отквко}} + \lambda_{\text{отккп}} + \mu_{\text{по}} + 2\lambda_{\text{откпо}})P_{12}(t) + \lambda_{\text{откпо}}P_0(t); \\
 dP_{13}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{вко}})P_{13}(t) + \lambda_{\text{отквко}}P_{11}(t) + \lambda_{\text{откпо}}P_1(t); \\
 dP_{14}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{вко}})P_{14}(t) + \lambda_{\text{отквко}}P_{11}(t) + \lambda_{\text{откпо}}P_2(t); \\
 dP_{15}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{вко}})P_{15}(t) + \lambda_{\text{отквко}}P_{12}(t) + \lambda_{\text{откпо}}P_4(t); \\
 dP_{16}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{вко}})P_{16}(t) + \lambda_{\text{отквко}}P_{12}(t) + \lambda_{\text{откпо}}P_5(t); \\
 dP_{17}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{кп}})P_{17}(t) + \lambda_{\text{отккп}}P_{11}(t) + \lambda_{\text{откпо}}P_3(t); \\
 dP_{18}(t)/dt = -(\mu_{\text{по}} + \mu_{\text{кп}})P_{18}(t) + \lambda_{\text{отккп}}P_{12}(t) + \lambda_{\text{откпо}}P_6(t); \\
 dP_{19}(t)/dt = -\mu_{\text{кт}}P_{19}(t) + \lambda_{\text{кт}}P_0(t); \\
 dP_{20}(t)/dt = -\mu_{\text{кт}}P_{20}(t) + \lambda_{\text{кт}}P_1(t); \\
 dP_{21}(t)/dt = -\mu_{\text{кт}}P_{21}(t) + \lambda_{\text{кт}}P_2(t); \\
 dP_{22}(t)/dt = -\mu_{\text{кт}}P_{22}(t) + \lambda_{\text{кт}}P_3(t); \\
 dP_{23}(t)/dt = -\mu_{\text{кт}}P_{23}(t) + \lambda_{\text{кт}}P_4(t); \\
 dP_{24}(t)/dt = -\mu_{\text{кт}}P_{24}(t) + \lambda_{\text{кт}}P_5(t); \\
 dP_{25}(t)/dt = -\mu_{\text{кт}}P_{25}(t) + \lambda_{\text{кт}}P_6(t); \\
 dP_{26}(t)/dt = -\mu_{\text{в3}}P_{26}(t) + 2\lambda_{\text{отквко}}P_9(t) + 2\lambda_{\text{отквко}}P_{10}(t) + 2\lambda_{\text{отквко}}P_7(t) + \\
 + 2\lambda_{\text{отквко}}P_8(t) + (\lambda_{\text{дпакп}} + \lambda_{\text{дпапо}})P_0(t) + \lambda_{\text{отккп}}P_3(t) + \lambda_{\text{отккп}}P_6(t).
 \end{cases} \quad (1)$$

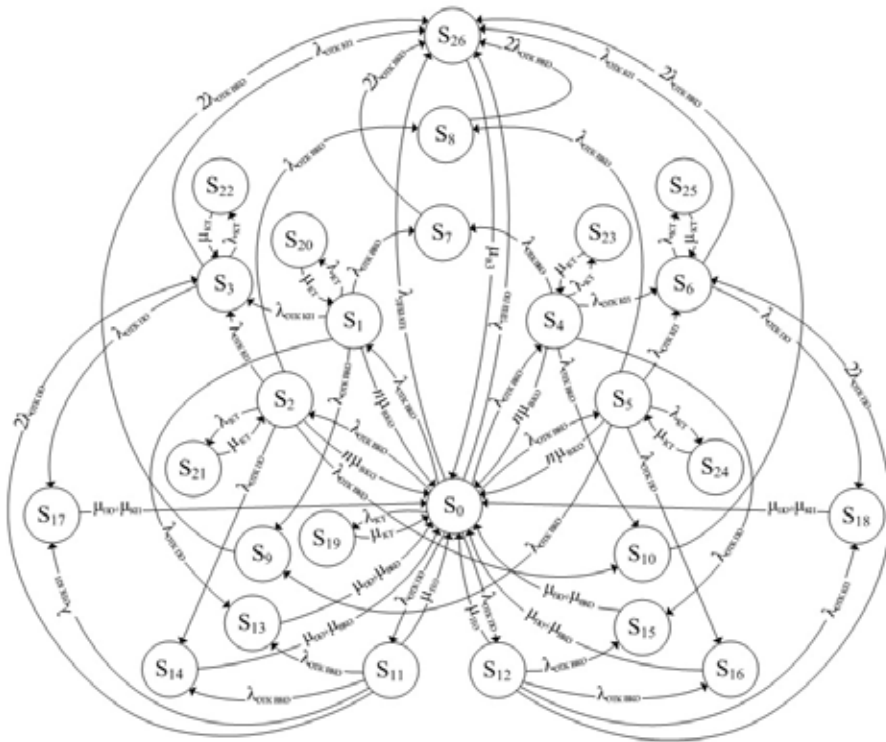


Рис. 4. Граф переходов бортового вычислителя
 Fig. 4. Graph of transitions of the on-board computer

На основании полученной марковской модели бортового вычислителя на КП (рис. 4) и системы дифференциальных уравнений (1) получим показатели работоспособности системы – коэффициент готовности $K_{Г}$ и коэффициент оперативной готовности $K_{ОГ}$.

Коэффициент готовности системы определяется по формуле

$$K_{Г}(t) = P_0(t) + P_1(t) + P_2(t) + P_3(t) + P_4(t) + P_5(t) + P_6(t) + P_{11}(t) + P_{12}(t) + P_{13}(t) + P_{14}(t) + P_{15}(t) + P_{16}(t) + P_{17}(t) + P_{18}(t) + P_{19}(t) + P_{20}(t) + P_{21}(t) + P_{22}(t) + P_{23}(t) + P_{24}(t) + P_{25}(t).$$

Коэффициент оперативной готовности системы для стационарного режима определяется по формуле (далее t – наработка системы)

$$K_{ОГ}(t) = P_0 \cdot P_0(t) + P_1 \cdot P_1(t) + P_2 \cdot P_2(t) + P_3 \cdot P_3(t) + P_4 \cdot P_4(t) + P_5 \cdot P_5(t) + P_6 \cdot P_6(t) + P_{11} \cdot P_{11}(t) + P_{12} \cdot P_{12}(t) + P_{13} \cdot P_{13}(t) + P_{14} \cdot P_{14}(t) + P_{15} \cdot P_{15}(t) + P_{16} \cdot P_{16}(t) + P_{17} \cdot P_{17}(t) + P_{18} \cdot P_{18}(t) + P_{19} \cdot P_{19}(t) + P_{20} \cdot P_{20}(t) + P_{21} \cdot P_{21}(t) + P_{22} \cdot P_{22}(t) + P_{23} \cdot P_{23}(t) + P_{24} \cdot P_{24}(t) + P_{25} \cdot P_{25}(t).$$

Отсюда получим:

$$K_{ОГ}(t) = P_0 \cdot e^{-(\lambda_{2впкп} + \lambda_{2шпкп} + 2\lambda_{откп} + 2(\lambda_{откк1кп} + \lambda_{откк2кп}))t} + P_1 \cdot e^{-(\lambda_{отккк1кп} + \lambda_{откк1} + \lambda_{отк1вкп} + \lambda_{кт} + \mu_{вкк})t} + P_2 \cdot e^{-(\lambda_{отккк1кп} + \lambda_{откк1} + \lambda_{отк1вкп} + \lambda_{кт} + \mu_{вкк})t} + P_3 \cdot e^{-(\lambda_{отк1вкп} + \lambda_{откп} + \lambda_{кт})t} + P_4 \cdot e^{-(\lambda_{отккк2кп} + \lambda_{отккп} + \lambda_{отк2вкп} + \lambda_{кт} + \mu_{вкк})t} + P_5 \cdot e^{-(\lambda_{отккк2кп} + \lambda_{отккп} + \lambda_{отк2вкп} + \lambda_{кт} + \mu_{вкк})t} + P_6 \cdot e^{-(\lambda_{отк2вкп} + \lambda_{откп} + \lambda_{кт})t} + P_{11} \cdot e^{-(2\lambda_{отккк1кп} + 2\lambda_{откп} + \lambda_{отк1вкп} + \lambda_{кт} + \mu_{п})t} + P_{12} \cdot e^{-(2\lambda_{отккк2кп} + 2\lambda_{откп} + \lambda_{отк2вкп} + \lambda_{кт} + \mu_{п})t} + P_{13} \cdot e^{-(\mu_{п} + \mu_{вкк})t} + P_{14} \cdot e^{-(\mu_{п} + \mu_{вкк})t} + P_{15} \cdot e^{-(\mu_{п} + \mu_{вкк})t} + P_{16} \cdot e^{-(\mu_{п} + \mu_{вкк})t} + P_{17} \cdot e^{-(\mu_{п} + \mu_{кп})t} + P_{18} \cdot e^{-(\mu_{п} + \mu_{кп})t} + P_{19} \cdot e^{-\mu_{кт}t} + P_{20} \cdot e^{-\mu_{кт}t} + P_{21} \cdot e^{-\mu_{кт}t} + P_{22} \cdot e^{-\mu_{кт}t} + P_{23} \cdot e^{-\mu_{кт}t} + P_{24} \cdot e^{-\mu_{кт}t} + P_{25} \cdot e^{-\mu_{кт}t},$$

где $P_0(t) - P_6(t)$, $P_{11}(t) - P_{25}(t)$ – вероятности безотказной работы системы, находящейся в состояниях $S_0 - S_6$, $S_{11} - S_{25}$.

На рис. 5 представлены результаты моделирования коэффициента оперативной готовности при различных значениях коэффициентов абсолютных отказов K_{12} из-за дефектов проектирования ТС и ПО, которые принимают значения 15, 25 и 35 %. При снижении доли абсолютных отказов значение $K_{ог}$ увеличивается из-за увеличения вероятности нахождения системы в исправных состояниях

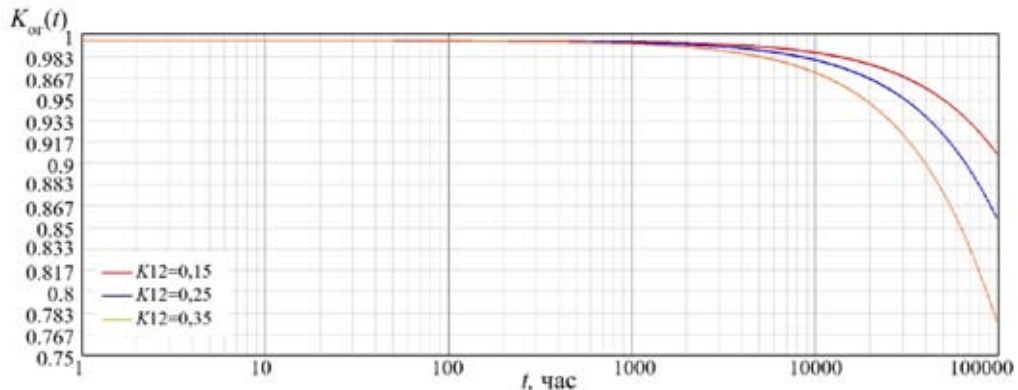


Рис. 5. Графики зависимости коэффициента оперативной готовности от времени при различных значениях коэффициента абсолютных отказов

Fig. 5. Graphs of the coefficient of operational readiness of the time at different values of the coefficient of absolute failure

Результаты моделирования показали, что предлагаемый бортовой вычислитель с алгоритмом управления избыточностью будет функционировать на протяжении 100 000 ч при значении $K_{12} = 15\%$, $K_{ог} = 0,9$. Для достижения максимально эффективного применения версионно-структурного резервирования конфигурируемых процессоров в бортовом вычислителе необходимо использовать конфигурируемые процессоры, для которых коэффициент абсолютных отказов будет минимален. При этом конфигурируемые процессоры должны иметь различные версии программного обеспечения.

Список литературы

- [1] Сельвесюк Н.И., Косьянчук В.В., Федосов Е.А. Интегрированная модульная авионика. *Радиоэлектронные технологии*. 2015, 1, 66-71 [Selvesyuk N.I., Kosyanchuk V.V., Fedosov E.A. Integrated modular avionics. *Radio-electronic technologies*, 2015, 1, 66-71 (in Russian)].
- [2] Меркулов В.И., Канащенко А.И., Самарин О.Ф. *Облик перспективных бортовых радиолокационных систем*. М.: ИПРЖР, 2002. 176 с. [Merkulov V.I., Kanashenkov A.I., Samarin O.F. *Look promising airborne radar systems*. М.: IWRM, 2002. 176 p. (in Russian)].